



## 目录 CONTENTS

### 《战略前沿》

多重挑战下军用集成电路产业应对后摩尔时代的思考..... 杜俊, 陈雷, 赵元富, 李妍艳 (1)

从硅基到碳基——后摩尔定律时代的战略思考..... 万达 (6)

### 《研究论坛》

面向移动设备的高能效高可靠 DNN 压缩模型设计..... 刘澍波, 王晶, 李冰, 高岚, 张伟功 (9)

减缓宇航用 SRAM 型 FPGA 单粒子效应的刷新策略研究..... 李明哲, 陈雷, 孙华波, 李学武, 张帆, 朱志强 (14)

一种基于稳健回归的快速周跳检测与修复方法..... 由立华, 毕波 (20)

一种基于 65nm 工艺低开销抗辐射加固锁存器设计..... 齐春华, 霍明学, 王天琦 (26)

抗辐射加固跑道型 MOSFET 等效宽长比研究..... 吴昱操, 罗萍, 蒋鹏凯, 张波 (33)

3kV 双向阻断 AlGaIn 沟道 HEMT 电力电子器件..... 赵胜雷, 张进成, 郝跃 (38)

抗高过载 MEMS 环形谐振陀螺结构设计..... 王浩, 张龙, 叶泽刚, 朱红, 周博远, 柴宏玉, 周金秋, 康苗苗 (43)

静电驱动微执行器吸合电压的计算与应用..... 何长运, 阮勇, 刘通, 周祥亮, 宋志强 (49)

基于 Cu-Sn 共晶的晶圆级键合工艺研究..... 霍瑞霞, 吴道伟, 刘万胜, 李宝霞 (54)

55nm 浮栅型与 SONOS 型 FLASH 单粒子效应试验研究..... 郭宣辰, 岳素格, 李建成, 周涛, 查启超, 谢俊玲, 王佳 (60)

$^{60}\text{Co}$   $\gamma$  射线辐射对商用 SiC 功率 MOSFET 低频噪声特性的影响..... 岳少忠, 张战刚, 陈资文, 孙常皓, 雷志锋, 彭超 (65)

极低剂量率环境下双极器件 ELDRS 效应研究与评估..... 李小龙, 陆旻, 王信, 于新, 孙静, 刘默寒, 魏莹, 郑齐文 (69)

重离子轰击叠加伽马辐照对 VDMOS 的参数退化影响..... 李新宇, 贾云鹏, 周新田, 王立昊, 赵富杰, 李园, 赵元富, 邓中翰 (75)

考虑次级效应和版图布局的纳米 CMOS 电路单粒子效应电路级仿真方法..... 丁李利, 陈伟, 王坦, 张凤祁, 王定洪 (82)

高速串行接口单粒子效应测试方法研究..... 李俊泽, 岳素格, 李建成, 陈茂鑫, 宋小敬 (91)

一种基于 UltraFlex 测试系统的 DA 转换器测试方法..... 刘然, 张若寒, 史君, 董亚宁, 郑诗琼, 马明朗 (97)

### 《应用在线》

导电胶固化参数的优化..... 李洪剑, 荆林晓, 李峰, 井立鹏, 赵李阳 (103)

### 《技术通讯》

远程通用重构电路设计与验证..... 刘怀锋, 李学武, 朱志强, 张帆, 李政, 刘银萍, 黄辉银 (107)

# 多重挑战下军用集成电路产业应对后摩尔时代的思考

杜俊<sup>1</sup>, 陈雷<sup>1</sup>, 赵元富<sup>1,2</sup>, 李妍艳<sup>1</sup>

(1. 北京微电子技术研究所, 北京 100076; 2. 中国航天电子技术研究院, 北京 100094)

**摘要:** 摩尔定律终结叠加国际关系巨变, 给我国军用集成电路产业带来了技术、经济与政治三重挑战。本文从国防需求与前沿技术相结合的视角分析了摩尔定律的技术经济性内涵与后摩尔时代的技术发展方向, 从保障供应链安全、维护技术主权以及促进颠覆性技术工程化的角度解读了欧美的后摩尔时代对策和我国面临的问题与风险。以上分析触发了对后摩尔时代我国军用集成电路产业发展的思考, 提出了面向产业能力建设和产业生态完善的意见。

**关键词:** 军用集成电路; 后摩尔时代; 供应链安全; 技术主权; 颠覆性技术

**中图分类号:** TN47

**文献标识码:** A

## Consideration on Military IC Industry Should Cope with the Post-Moorish Era under Multiple Challenges

Du Jun<sup>1</sup>, Chen Lei<sup>1</sup>, Zhao Yuanfu<sup>1,2</sup>, Li Yanyan<sup>1</sup>

(1. Beijing Microelectronic Technology Institute, Beijing, 100076, China; 2. China Academy of Aerospace Electronics Technology, Beijing, 100094, China)

**Abstract:** The end of Moore's law and the great change of international relations have brought the military IC industry in China three challenges in terms of technology, economy and politics. This paper divides the techno-economic connotation of Moore's law and the direction of technology development in the Post-Moorish Era from the perspective of the combination of national defense demand and cutting-edge technology. The industrial countermeasures of Europe and America in the Post-Moorish Era and the problems and risks faced by China are explained from the perspectives of ensuring the security of supply chain, maintaining technological sovereignty and promoting the engineering of disruptive technologies. The above-mentioned division triggers the thinking on the development of Chinese military IC industry in Post-Moorish Era, and put forward some suggestions for the construction of industrial capacity and the improvement of industrial ecology.

**Key words:** military IC; the Post-Moorish Era; security of supply chain; technological sovereignty; disruptive technology

### 0 前言

2016年2月《自然》发文指出, 新版国际半导体技术路线图将不再以摩尔定律为目标<sup>[1]</sup>, 业界对“摩尔定律将彻底终结”达成共识。2021年4月, 吴汉明院士在“中国工程院信息与电子工程前言论坛”上指出, 中国集成电路产业面临政策壁垒和产业壁垒, 前者包括巴统和瓦森纳协议, 后者体现为龙头企业早期布局所积累的知识产权形成专利护城河, 这些都给中国半导体带来了巨大挑战<sup>[2]</sup>。我国军用集成电路产业如何在后摩尔时代发展, 成为一个值得深入思考的问题。

### 1 后摩尔时代我们面临的形势与挑战

后摩尔时代, 我国军用集成电路产业面临来自技术、经济、政治三方面的严峻挑战。

#### 1.1 前沿技术驱动与国防需求牵引相结合, 开启新一轮技术主权竞争

逼近纳米尺度, 面对硅原子物理尺寸导致的工艺极限、量子隧穿效应导致的晶体管失效、漏电流和功耗剧增导致的“热死亡”等世界性技术难题, 需要从新结构、新材料、新机制、新原理等维度来探索后摩尔时代的技术发展方向。摩尔本人在1965年提出摩

尔定律的文章第三页已有设想<sup>[3]</sup>：（1）开发柔性技术以支持多功能的工程；（2）开发设计自动化程序将逻辑图转化为技术实现；（3）用独立封装的较小功能构建大型系统可能更经济。如图 1 所示，国际半导体技术路线图 2005 版提出的“延续摩尔定律”、“超越摩尔定律”、“超越 CMOS”三种发展策略”，则基本上为这个问题确定了解决框架。

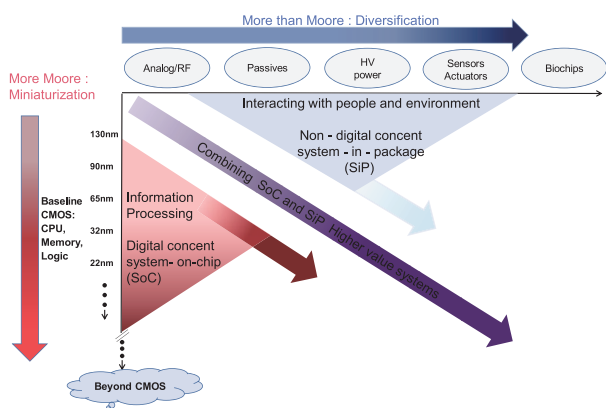


图 1 后摩尔时代三种技术发展策略

Fig.1 Three strategies for technological development in the Post-Moore Era

“超越摩尔定律”以“功能多样化”为标志，正好与摩尔设想的第一条和第三条相呼应，本质上是摩尔定律演进过程中未充分开发的部分，即非数字器件与封装。该发展策略目前已经形成了一些确定性趋势：三代半导体造就新型功率、射频、发光器件；硅基光电子促进感—通—算融合；三维异质异构封装实现更高功能密度。“延续摩尔定律”以“晶体管微缩”为标志，本质上是当硅基遇到物理极限时发展新型器件，其抓手是新结构与新材料：以“FinFET—Nanosheet—Forksheet—CFET”晶体管结构为演进路线成为共识；以碳纳米管、石墨烯为代表的二维材料被寄予厚望。“超越 CMOS”以新原理、新机制为标志，主要从电子的电荷自由度和非电荷自由度分别进行技术创新，目前磁阻、阻变存储器等自旋电子学成果已取得工程化进展。

与产业界和学术界的出发点不同，美国国防部高级研究计划局（DARPA）提出的电子复兴计划则是从国防应用的需求来引导后摩尔时代的颠覆性技术发展。

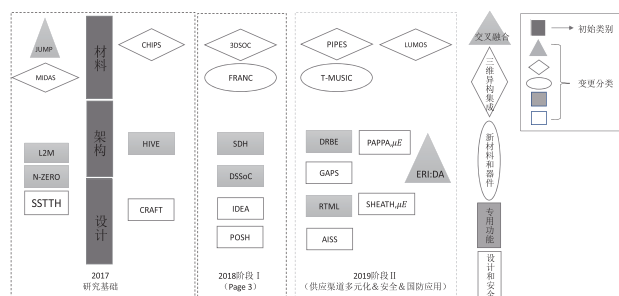


图 2 电子复兴计划项目部署的演进

Fig.2 The evolution of the deployment for the electronic revival project

从图 2 所展示的电子复兴计划项目部署的演进可以看出：（1）鉴于国防领域的市场规模难以支撑先进 CMOS 工艺，DARPA 通过扶持性价比更高的技术（包括三维异质异构封装、碳基与硅基工艺融合等）来达到提升装备性能的目的；（2）为加速装备迭代以应对中国崛起，DARPA 通过扶持更灵活便捷的设计和制造技术（包括小芯片、工艺移植等）来解决专用芯片研制周期长的痛点；（3）地缘政治将安全性技术（包括防软件攻击的芯片架构等）推向后摩尔时代的前沿。

尽管出发点不同，国防应用需求的介入事实上加速了颠覆性技术的成果转化。从国际半导体技术路线图到电子复兴计划，前沿技术驱动与国防需求牵引相结合已经拉开了新一轮技术主权竞争的序幕。对我国而言，不仅应当看到通过新材料弥补“直线追车”的差距、同时要抓住高功能密度集成助力“弯道超车”、依托新原理与新机制实现“换道超车”的可能，也要对 DARPA 部署的一些前沿技术产生警觉。

## 1.2 经济性导致的产业垄断威胁到了主权国家的供应链安全

摩尔定律的终结也有经济原因。一方面，高企的新工艺研发和建设成本严重挫伤工艺厂商竞逐的热情<sup>[4]</sup>：14nm 工艺研发超过 10 亿美元、产能建设超过 50 亿美元；而 5nm 工艺线的建设成本为 14nm 的两倍以上。另一方面，物联网时代的碎片化需求难以形



成足够的规模效应以支撑不断剧增的新工艺流片成本（图3）<sup>[5]</sup>，严重抑制芯片厂商使用新工艺的热情。IBM 转让生产线、格芯放弃 7nm 都是经济因素的结果，只有极个别头部厂商能够获得足够的增量订单来维持新工艺的竞赛。但是这种极端垄断的产业结构反过来威胁到了主权国家的供应链安全，这已经引起了各国高度重视。

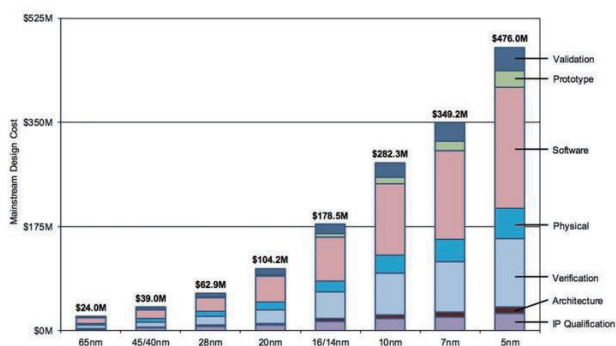


图3 不同工艺时代典型的芯片流片成本

Fig.3 The typical cost of chip manufacturing for different process ages

### 1.3 地缘政治将供应链安全和技术主权推到了竞争最前沿

作为现代电子信息产业的基石，美国为遏制中国崛起所发动的技术冷战以集成电路为杀手锏，从材料、设备、软件、IP 等全方位封锁来打压我国集成电路产业的发展，地缘政治将供应链安全和技术主权推到了国家战略竞争的最前沿。因此，主要国家与地区宁可牺牲经济性也要构建安全的供应链和自主的技术体系。

美国采取三管齐下、高中低搭配的策略保证供应链安全：其一是招募境外大厂建设纳米级产能，以保障民用高性能芯片的供应；其二是扩充国防部“可信供应商”，以保障军用先进芯片的供应；其三是扶持国防专用代工线升级换代，为国防应用兜底。上述措施已取得重要进展：（1）台积电、三星在美国启动 5nm 产能建设；（2）格芯成为“可信供应商”，并在军方协调下获得 SkyWater 的抗辐射技术，使美国宇航芯片逼近 10nm 水平；（3）军方向 SkyWater 先后提供两笔资金助其从 90nm 经 65nm

演进到 45nm。

美国打压中国也令欧盟感到危机，欧盟以处理器和先进工艺为抓手，确保技术主权与供应链的安全：（1）2018 年底推出“欧洲处理器计划”，选定 ARM 和 RISC-V 作为欧洲自主可控 E 级超级计算机的异构计算架构；（2）2019 年底启动“安全关键计算机的可靠实时基础设施”项目，推进基于 RISC-V 的空间和航空计算机系统；（3）2020 年底在欧盟委员会框架下签署《欧洲处理器和半导体科技计划联合声明》，宣布投入 1450 亿欧元用于半导体产业，包括建设 2nm 产能。

## 2 我国当前存在的主要问题与风险

在技术、经济、政治三重挑战面前，我国暴露了从能力建设到产业生态方面的诸多问题。

### 2.1 关键设备被禁，摩尔定律的延续在中国大陆可能长期停滞

从上世纪 70 年代到本世纪初叶，世界半导体产业经历了三次大规模的产业转移，而我国大陆正是第三次转移的目的地。不出意外，预计 2030 年我国大陆晶圆产量将占全球四分之一<sup>[6]</sup>。但是，一个不争的事实是我们在半导体关键设备、材料、软件方面受制于人，以设备为例，国产仅占 5%<sup>[6]</sup>。正因为以 EUV 光刻机为代表的先进设备决定了半导体技术的先进性，美国从瓦森纳协议、技术出口管制条例、实体清单等不同渠道全方位对我国进行封锁。由于我国长期依靠购买进口设备来建设产能，美国的措施已初步达到预期效果。基于技术基础、产业现状和国际政治关系的发展趋势，可以说：第三次半导体产业转移的进程已经被地缘政治所打断，摩尔定律的延续在中国大陆可能长期停滞。

### 2.2 关键 EDA/IP 受制于人，系统性设计风险还远未爆发出来

据 2019 年数据统计，美国在 EDA/IP 领域占据 74% 的份额，而中国大陆只有 3%<sup>[6]</sup>。事实上，我国芯片设计领域的差距远大于芯片制造领域，而且是在各个细分领域全面落后。在离开 EDA 和 IP 就几乎无法

研制复杂功能芯片的当下，缺乏原创设计技术的后果不仅是难以实现升级换代，更大的隐患是“安全”：DARPA 在电子复兴计划中部署了一系列的芯片安全项目，包括防软件攻击的芯片架构、芯片硬件木马植入、芯片防逆向工程破解等，而作为全球仅有的两家全流程 EDA 供应商之一以及全球最大的 IP 许可收入厂商，SYNOPSYS 是这些项目的重要参与者。可以说：关键 EDA/IP 受制于人，我国芯片设计领域的系统性风险还远远没有爆发出来。

## 2.3 缺失促进成果转化的关键生态环节，恐在新一轮技术竞争中落后

为了尽快促进颠覆性技术的工程化应用，以争夺未来科技的战略制高点，美欧出台了一系列完善产业生态的具体措施：DARPA 在 JUMP 计划中建设了 6 个以应用为最终目标的“产—学—研—用—政”有机协同的研究中心，要求在 5 年内完成技术成果转移并在 10 年内实现产业化；美国国防部“可信供应商”SkyWater 承担了量子芯片、生物芯片、碳基芯片与硅基工艺结合的工程化任务；欧盟投资建设 2D-EPL 试验代工线，提升石墨烯工艺的成熟度与标准化。与此相比，我国在促进颠覆性技术工程化的产业生态方面存在关键的缺失：其一是缺乏独立于各个封闭的既得利益圈子的试验代工线，不利于新工艺技术的成熟度提升、标准化普及；其二是缺乏能够将国防应用需求和基础技术研究有机结合的新型技术创新中心，不利于颠覆性技术的工程化应用。毫不夸张地说，关键生态环节缺失，基础研究与工程化应用严重脱节，将导致我国在下一代技术竞争中落后。

## 3 我国应对后摩尔时代的思考与建议

针对存在的主要问题与风险，结合对后摩尔时代形势与挑战的思考，本文从能力建设和生态完善两个维度提出军用集成电路产业强短板、补缺环的五条建议。

### 3.1 倾力建设国防专用的自主可控芯片生产线和试验线

首先，在新结构和新材料的支撑下，延续摩尔定律在未来很长一段时间内仍将是主流。其次，尽管在

一定程度上违背了经济性原则，延续摩尔定律仍是地缘政治冲突下保证供应链安全的优先选择。再次，国防应用需要更高性能的电路以满足装备智能化和电磁频谱战、赛博战等新型战争形态的需求。因此，我国必须从以下两个方面着手以缩小差距：一方面是加快关键设备、材料和软件的研发，构建先进芯片产能；另一方面是加快以碳纳米管、石墨烯为代表的半导体前沿技术工程转化，尽快将实验室成果推向国防应用。

因此，本文提出“倾力建设国防专用的自主可控芯片生产线和试验线”的建议，其目标是一方面基于 DUV 光刻机的可获得性，建设一条国防专用的 28 ~ 14nm 工艺线，并具有延伸到 7nm 节点的潜力；另一方面建设一条打破国企与院校封闭式既有利益格局的新型试验代工线，主要承担颠覆性技术的工程化任务。本建议至少有三个作用：保护民用芯片制造业免受政治冲击；起到自主可控示范作用，既引领整个 IC 产业自主化建设，也牵引与 IC 制造相关的材料、设备、软件等配套产业发展；促进碳基工艺等颠覆性技术工程化。

### 3.2 重点建设开放型高可靠三维异质异构封装加工平台

首先，符合超越摩尔定律策略的三维异质异构封装技术是实现“弯道超车”的捷径。其次，未来的国防应用也需要该技术来实现计算、探测、通信装备的小型化、多功能化。再次，国防应用对封装高可靠有硬性要求。因此，本文提出“重点建设开放型高可靠三维异质异构封装加工平台”的建议，其核心在于构建国家级开放型标准化芯粒资源库，以解决“无芯可封”的问题，可以从“芯”上加强国防专用微系统的研发能力。但是在实施中要注意不能一哄而上、重复投资，而是要建设国家级开放型高可靠三维封装加工平台。

### 3.3 能力建设要从以“买”为主转变为以“造”为主

产业发展的关键在于市场牵引。前两项建议再加上常规的技改、技措项目，如果都购买国产设备、软件、材料，将会形成一定的规模效应，足以带动相关产业的高质量协同发展。因此，本文提出“能力建设

要从以‘买’为主转变为以‘造’为主”的建议，其目的是整合需求、集中采购，发挥规模效应，牵引设备、软件、材料等配套产业自主创新发展。

### 3.4 构建国家层面的 IP 平台以维护技术主权和技术安全

离开了 EDA 和 IP，先进的复杂功能芯片基本上无法研制。以 IP 为核心的设计技术也是维护技术主权和供应链安全的重要一环。而且从 DARPA 在电子复兴计划中重点布局芯片安全项目来看，引进的 EDA 和 IP 中存在后门、木马的风险非常大。因此，本文提出“构建国家层面的 IP 平台以维护技术主权和技术安全”的建议，其目标是有计划、有步骤地部署关键 IP 的自主化，形成国家级的 IP 平台并在全社会推广应用，通过国家层面的统一选型来打破外企的产业壁垒。

### 3.5 构建国防领域新型国家级集成电路技术创新中心

即将到来的后国产化替代时代，需求牵引模式将从“兼容替代”转变为“任务目标”：需要被兼容替代的进口产品具象将消失，取而代之的是未来的工程任务对功能、性能、环境适应性等具体指标的要求。同时，技术驱动模式也将从基于成熟技术的应用创新转向基于基础研究的原始创新。在需求牵引模式和技术驱动模式双重转变的情况下，关键的问题是如何有效地把“任务目标”和“原始创新”有机合起来。因此，本文提出“构建国防领域新型国家级集成电路技术创新中心”的建议。该中心需要拥有与国防应用紧密结合的组织纽带，以助于理解应用需求、规划产品谱系、实施工程转化、推广技术应用；也需要拥有成熟技术创新应用的丰富经验与完善的质量管理体系，以助于快速促进成熟度的提升；还需要拥有多样的专业技术，以全面对接各类基础研究，以利于促进融合创新。

## 4 总结

后摩尔时代，我国军用集成电路产业面临技术、经济、政治三重挑战。针对当前的主要问题与风险，本文在借鉴世界前沿技术发展策略、外军国防应用需求牵引方向、欧美维护供应链安全和技术主权以及促进颠覆性技术工程化等对策的基础上，从能力建设和生态完善两个维度提出五项建议以强短板、补缺环，希望军用集成电路产业蓬勃发展。

## 参考文献 (References)

- [1] WALDROP M M. The chips are down for Moore's law [J]. Nature, 2016 (530): 144-147.
- [2] 刘佳, 吴汉明院士：后摩尔时代国产芯片挑战和机遇 [EB/OL]. (2021-04-26)[2021-6-16]. <http://finance.sina.com.cn>.
- [3] 韩芳. 美国 DARPA 电子复兴计划的解读及启示 [J]. 中国集成电路, 2019, 1-2 (总第 236-237 期): 19-27.
- [4] 张新征. 集成电路发展模式的演进透视 —— 以美国 DARPA 电子复兴计划为视角 [J]. 军事文摘, 2019 (11): 54-57.
- [5] 半导体行业观察. 台积电加速进入 3nm, 晶圆代工双王争霸时代开启 [EB/OL]. (2019-07-26)[2021-6-16]. <https://www.zhitongcaijing.com>.
- [6] 顾文军. 纲要七年, 中国威胁到全球半导体格局了吗? [EB/OL]. (2021-05-26)[2021-6-16]. <https://www.huxiu.com>.



#### 作者简介:

杜俊(1975—), 男, 湖南桂阳人, 博士, 研究员, 具有无线电技术、微电子学与固体电子学、管理科学与工程等多学科专业背景, 目前主要从事集成电路产业战略研究。

# 从硅基到碳基——后摩尔定律时代的战略思考

万 达

(中国航天电子技术研究院, 北京 100094)

**摘 要:** 从晶体管和集成电路的诞生和发展史出发, 纵观硅基芯片当前遭遇的技术瓶颈。分析了碳基芯片的诸多优势, 认为摩尔定律失效后碳基芯片是替代硅基芯片的必然趋势和最佳选择。

**关键词:** 硅基; 碳基; 碳纳米管

**中图分类号:** TN4      **文献标识码:** A

## From Silicon Base to Carbon Base--Strategic Thinking in the Post-Moore Law Era

Wan Da

(China Academy of Aerospace Electronics Technology, Beijing, 100094, China)

**Abstract:** Starting from the birth and development history of transistor and integrated circuit, the current technical bottlenecks of silicon based chips are reviewed. The advantages of carbon based chips are analyzed, and it is considered that carbon based chips are the inevitable trend and the best choice to replace silicon based chips after the failure of Moore's law.

**Key words:** silicon-based; carbon-based; carbon nanotube

### 0 引言

上世纪 40 年代末, 以固体物理为基础的第一只晶体管诞生, 标志着微电子学快速发展的时代到来。最初的晶体管采用的材料是锗。美国摩托罗拉 (Motorola) 公司用双极结型锗晶体管制造的收音机, 使锗材料晶体管得到商业应用, 并持续了 10 年之久。此后, 随着硅平面工艺的出现, 硅材料很快取代锗成为新一代半导体的首选材料。硅基单片集成电路技术主导了 60 年来电路芯片的发展方向。如今, 以硅为基材的芯片的发展遇到了技术瓶颈, 而以碳为基材的芯片代表了新的发展方向。

### 1 硅基芯片的局限

以硅为基材的集成电路芯片, 特征尺寸不断减小。半个世纪以来, 一直遵循英特尔 (Intel) 名誉董事长戈登·摩尔提出的定律: 在成本不变的条件下, 芯片包含的元器件数量大约 18–24 个月增加一倍, 性能也将提升一倍。但到 2000 年以后, 摩尔定律实际上已

经失效, 失效的原因是硅基芯片的晶体管尺寸已经触及到物理极限。在纳米尺寸下, CMOS 晶体管短沟道 (Short-Channel) 引起的漏电一方面使得晶体管的性能变差, 产品良率大大降低; 另一方面功率密度增加, 引起的散热问题不断加重<sup>[1]</sup>。

克服这一困难的途径大致分为两类: 一类是采用晶体管的三维新结构, 如采用绝缘衬底的 FD SOI 和鳍形结构的 FinFET; 另一类就是探讨采用新的基材。前者可以在一定程度上缓解芯片性能受限的当务之急, 而后者则着眼于更长远的未来。其中, 以碳为基材的半导体芯片, 则是最有希望的发展方向。

### 2 碳基芯片的优势

从逻辑上说, 只要缩短 CMOS 管的沟道尺寸, 使芯片面积减小, 并有效地克服由于体积减小而带来的短沟道效应, 那么芯片的能效自然就上去了。但现实问题是, 缩短沟道的关键设备极紫外 (EUV, Extreme Ultra Violet) 曝光机已经研发出来了, 台



积电也提出了 2nm 工艺技术的路线图，解决了制程问题，面积减小的问题似乎已经解决了，但 FD SOI 和 FinFET 这些措施在特征尺寸 2nm 的情况下，并不能很好地克服短沟道效应。

2012 年 10 月美国 IBM 研究所宣称，他们在一个硅芯片上放置了 1 万多个碳纳米管 (CNT, Carbon Nanotube)。用碳纳米管做的晶体管，它的电子迁移率可以是硅的 1000 倍，碳纳米管里面的电子自由程特别长，电子的活动更自由，不容易摩擦发热，结构尺寸也相对宽松，如图 1 所示。

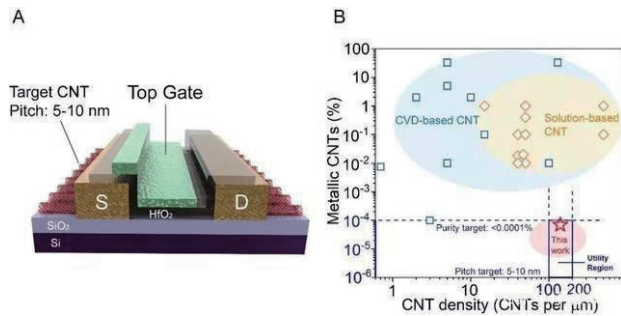


图 1 碳纳米晶体管的结构和密度 (图片来源于网络)

Fig.1 Structure and density of carbon nanotransistors (Photos cited from network)

由于这些机理上的优点，用碳来做晶体管，甚至不用像硅晶体管那么小就可以取得同等水平的性能。碳基芯片的能效比更优越，这一优点来自于材料本身：碳基电子运行于碳-碳共价键形成的分子轨道上，与核的碰撞损失几乎没有，而从根本上避免了半导体电子存在碰撞损失。这种材料的固有优势决定了碳基芯片在后摩尔定律时代成为取代硅基芯片的最有发展前途的选择。

碳基芯片的另一个优势是它的抗辐射特性。由于碳纳米管具有强碳-碳共价键、低原子数和纳米尺度的横截面积，受辐射的影响大大减少，可以用来发展新一代超强抗辐射芯片。北大团队与中科院苏州纳米与仿生技术研究所赵建文团队选用碳纳米管作为有源区，以聚酰亚胺为衬底制作的碳纳米管 FET，在剂量率 66.7rad(Si)/s 照射下能承受 15Mrad(Si) 的辐照总剂量。这已经几近达到对辐照损伤免疫<sup>[2]</sup>，无疑对于航天和宇宙探测等领域的应用有重要意义。

### 3 可行性预测

2020 年 6 月 1 日，麻省理工学院 (MIT) 的 Shulaker 团队在《自然电子学》发表文章<sup>[3]</sup>，宣称他们用商用的硅制造设备成功制造了碳纳米 FET。Shulaker 团队改进了一种将衬底浸没在纳米管溶液的沉积技术，从而使得利用工业设备制造碳管成为可能。他们表示，这将促进碳管尽快应用到商业中。MIT 团队的这项研究，除了有美国国防高级研究计划局 (DAPRA, Defense Advanced Program Research Agency) 三维芯片系统计划和美国空军研究实验室 (USAFRL, U.S. Air Force Research Laboratory) 的官方支持外，还有 ADI 和 SkyWater 这样的半导体公司支持。

同样在 2020 年上半年，我国北京大学张志勇教授和彭练矛教授课题组开发了全新的提纯和自组装方法，并使用该方法制备出高密度、高纯半导体阵列的碳纳米管材料<sup>[4]</sup>。在此基础上首次实现性能超越同等栅长硅基 CMOS 技术的晶体管和电路。课题组在 4 英寸的基底上，制备出密度为 120 微米、纯度高达 99.99995% 的碳纳米管阵列。彭练矛教授兼任北京碳基集成电路研究院院长，研究院获得了北京市科委的支持。此外，科技部纳米专项，给予北大碳基团队 20 年的大项目，并提供 9000 万元左右资金支持；国家自然科学基金也提供 6 年共计 1000 万元的资金支持。

目前北大团队已经解决了碳基芯片的关键一步，即碳基材料问题。碳基工艺平台的验证也取得了初步成果。正在挑战实现 90nm 碳基芯片的研发，预计 2 年之内即可实现，其性能相当于目前 28nm 硅基芯片。3-5 年的目标是 14nm 碳基芯片，相当于 5-7nm 硅基芯片。在此基础上，经过量产化的磨合，取代硅基芯片的目标指日可待。

由于同等性能的碳基芯片制造只需要传统的硅工艺设备，避免了采用庞大昂贵的高端设备（如 ASML 高端光刻机）的尴尬。

### 4 展望

从全球范围看，尽管当下 IBM 的碳管研究团队

已经基本解散，相关研究人员也大都去了美国高校，但是 Intel 依然对此有布局。台积电也在比较低调地进行碳管的研究。

在我国，以北大为代表的碳基芯片的研究团队已经取得一系列技术成果，这些成果达到了世界先进水平。该团队研制的实验电路 5 阶环形振荡器，振荡频率 8.06GHz，与硅基芯片相比，性能上已表现出明显的优势。但这仅是实验电路，它只表明为终结芯片硅时代提供了一种可行的方案，目前尚不具备取代硅基芯片的条件。实现碳基芯片产业化需要相当长时间的磨合。优化工艺、提高良品率、降低成本都不可能一蹴而就。不过可喜的是，企业界已经看到潜在的商机，华为公司已经迅速与该团队进行了交流，有意在未来达成合作对接。华为强大的经济实力将为该团队提供强有力的支援，势必加快研究的进展，也能为华为未来的发展助一臂之力。

碳基芯片对我国的另一个重大意义在于，它使得我国能在另一个赛道上和先进国家比肩发展。由于有自己的知识产权，关键设备不受约束，以及技术领先的优势，我国有机会在芯片领域站在世界的前沿。目前硅基极限就 2nm 左右了，而碳基有可能做到 1nm 以下，硅基转碳基是技术发展的必然。

## 参考文献 (References)

- [1] FRANK D J, DENNARD R H, NOWAK E, et al. Device scaling limits of Si MOSFETs and their application dependencies [J]. Proc.Of IEEE, 2001, 89(3): 258–288.
- [2] ZHU M G, XIAO H S, et al. Radiation-hardened and repairable integrated circuits based on carbon nanotube transistors with ion gel gates.Nature Electronics. 24. Aug 2020, Articles/s41928-020-0465-1.
- [3] MAX M, SHULAKER, et al.Fabrication of carbon nanotube Field-Effect Transistors in Commercial Silicon Manufacturing Facilities. Nature Electronics.01.Jun. 2020: 273.
- [4] LIU L J, HAN J, et al. Aligned, high-density semiconducting carbon nanotube arrays for high-performance electronics. Science.22.May.2020,Vol.368, Issue 6493: 850–856.



### 作者简介:

万达（1940—）男，安徽合肥人。山东大学无线电电子学系毕业，中科院物理所微电子学专业研究生，法国国立图卢兹理工学院（INPT）电子学工程师博士。当前研究方向为微电子技术 with 微机电技术发展策略。

# 面向移动设备的高能效高可靠 DNN 压缩模型设计

刘澍波<sup>1</sup>, 王 晶<sup>1</sup>, 李 冰<sup>2</sup>, 高 岚<sup>1</sup>, 张伟功<sup>1</sup>

(1. 首都师范大学信息工程学院, 北京 100048; 2. 首都师范大学交叉科学研究院, 北京 100048)

**摘 要:** 随着神经网络应用逐步从云端数据中心迁移到移动边缘设备, 神经网络中庞大的计算量、访存量与终端部署受限的能耗存在着巨大的矛盾, 能效性成为终端部署神经网络的一大阻碍。另一方面, 神经网络在一些安全可靠关键领域存在着大量应用, 使得神经网络可靠性也成为模型部署的重点问题。虽然先前工作分别关注到模型的能效性和可靠性的问题, 使用模型压缩提高模型的能效性, 或用错误可感知训练来规避故障, 但设计一种能够兼顾满足能效性和可靠性要求的模型压缩方案仍具挑战。因此提出了一种面向移动设备的高能效高可靠神经网络模型压缩方案。首先对神经网络模型进行了能效性和可靠性的敏感度分析, 然后建立起了能耗和可靠性的评估模型, 根据网络特征, 利用强化学习自动生成可同时满足能效性和可靠性的模型压缩方案。在两组设计实验中, 相比之前压缩方案同样的能耗, 提出的方案将提高约 22% 的可靠性; 在同样的可靠性条件下, 提出的方案比之前的可靠性方案节省能耗约 30%。

**关键词:** DNN 模型压缩; 可靠性分析; 能效分析; 强化学习

**中图分类号:** TP391.4      **文献标识码:** A

## E2MC: Energy Efficiency and Error Tolerance DNN Model Compression for Mobile Devices

Liu Shubo<sup>1</sup>, Wang Jing<sup>1</sup>, Li Bing<sup>2</sup>, Gao Lan<sup>1</sup>, Zhang Weigong<sup>1</sup>

(1. College of Information Engineering, Capital Normal University, Beijing, 100048, China; 2. Academy for Multidisciplinary Studies, Capital Normal University, Beijing, 100048, China)

**Abstract:** As the application scope of Deep Neural Networks (DNN) moves from large-scale data centers to small-scale mobile devices, the energy efficiency and reliability becomes a big obstacle for DNN deployment. Although the previous work has focused on energy efficiency and reliability of the DNN model respectively, few studies can give a comprehensive view for both. It's still a challenge to design a DNN compression scheme which meets the efficiency and reliability at the same time. Thus, the proposal is the energy-efficiency and error tolerance DNN model compression for mobile devices. The first step is to analyze the sensitivity of energy efficiency and reliability. This analysis allows to model the energy and reliability of DNN. Finally, the model compressions that meet both efficiency and reliability can be generated automatically by using the reinforcement learning. According to the results of experiments, the proposed scheme improves the reliability for about 22% than the previous design and saves 30% energy comparing with other works under the same reliability.

**Key words:** DNN model compression; energy analysis; reliability analysis; reinforcement learning

## 0 引言

近年来, 神经网络 (DNN) 已经应用到诸多不同的领域, 越来越多的应用正在逐步从大型数据中心转移到小型移动设备, 然而模型包含了大量计算, 移动设备却只有有限的能耗供应, 受限的能耗供应和 DNN 计算量的严重不匹配成为了部署模型时的主要阻碍之一。同时在安全关键领域, 模型也面临可靠性问题的威胁, 微小的错误都会经过不断累加导致巨

大的误差, 最终使得系统不能够正确地工作, 从而给安全性关键的应用带来灾难性的后果。因此在部署 DNN 模型时, 需要同时兼顾能效性和可靠性。

模型裁剪是最常用的减小模型大小方法, 在学术界和工业界有着广泛的应用和研究。现有研究表明, 模型裁剪可以在不损失模型精度的情况下大幅消减模型的大小和计算量<sup>[1-3]</sup>。同时, 在一些可靠性模型部署方案中, 通过裁剪可以跳过故障硬件位置从而减少



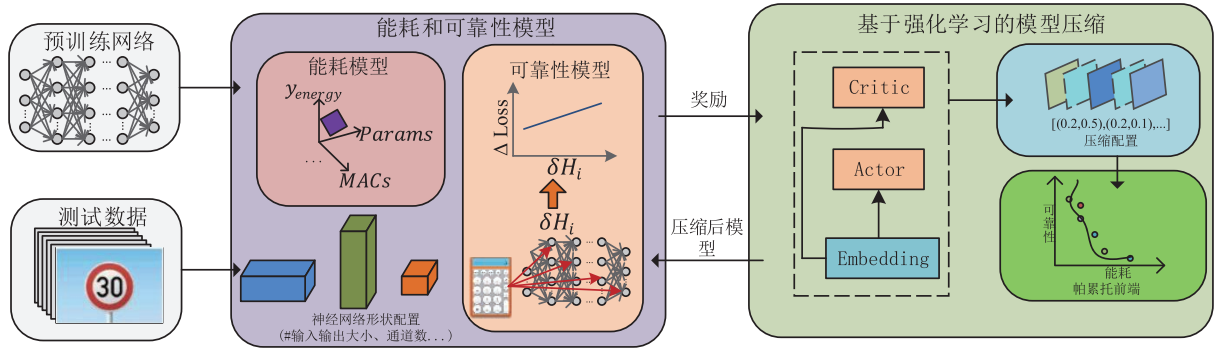


图 1 面向移动设备的高能效高可靠性压缩方案整体架构图

Fig.1 Overview of energy efficiency and error tolerance DNN model compression

模型受到故障干扰<sup>[4]</sup>。模型的能效性和可靠性问题可以单独地使用不同的压缩方案被解决，但当设计能效性模型时，其可靠性可能无法保证；当设计可靠性模型时，其能效性可能仍然存在着可优化的空间。

在以往的研究中，只单独地解决了模型的能效性或者可靠性问题，却没考虑到实际的生产应用环境中问题往往复杂多样。因此本文设计一个面向移动设备的能够同时满足能效性和可靠性的要求的裁剪压缩方案。本文将能耗和可靠性的均衡建模为一个多目标优化问题，首先对神经网络进行能耗消耗和可靠性敏感度分析，然后建立了能耗和可靠性的评估模型，根据收集到的网络特征信息，利用强化学习的方法迭代地生成每一层的裁剪压缩策略，自动化生成同时满足能效性和可靠性要求的模型压缩方案。

## 1 面向移动设备的高能效高可靠 DNN 压缩模型设计

我们提出了面向移动设备的高能效高可靠性 DNN 压缩方案。图 1 展示了整个框架的运行流程，首先接受预训练网络模型以及测试数据集作为输入，然后根据神经网络中的能耗特征进行起能耗性和可靠性评估，强化学习根据每一层压缩模型的能耗特征和可靠性特征生成裁剪策略。最后该裁剪策略将反过来指导模型压缩，评估信息奖励最终反馈给强化学习，在多轮迭代之后，生成满足应用场景需求的裁剪压缩模型。

### 1.1 神经网络敏感度分析

我们定义  $E(h_i)$  来表示第  $i$  个神经元  $h_i$  对损失函数  $E(\cdot)$  的贡献，这里  $h_i$  可以表示为权值参数也可以表示为输入输出激活值。当神经元发生变化时，使用  $E(h_i = h_i')$  来表示变化后的神经元  $h_i'$  对损失函数的贡献，当神经元上发生故障时，例如随机位翻转错误，此时  $h_i' = \text{bit\_flip}(h_i)$ 。定义  $\Delta h_i$  为  $h_i$  的变化量，使用当前值和变化前的值的差作为变化量： $\Delta h_i = h_i' - h_i$ ， $h_i$  变化到  $h_i'$  引发的损失函数变化可以定义为

$$\Delta E(h_i) = |E(h_i') - E(h_i)| = |E(h_i + \Delta h_i) - E(h_i)| \quad (1)$$

我们认为  $\Delta E(h_i)$  即为神经元的敏感度，敏感度越大，对应神经元变化引发的损失函数变化就越大，反之亦然。利用一阶深度泰勒展开， $\Delta E(h_i)$  即可转化为：

$$\Delta E(h_i) = |E(h_i + \Delta h_i) - E(h_i)| = \left| E(h_i) + \right.$$

$$\left. \frac{\partial E}{\partial h_i} \Delta h_i - E(h_i) \right| = \left| \frac{\partial E}{\partial h_i} \Delta h_i \right| \quad (2)$$

这里  $\frac{\partial E}{\partial h_i}$  为损失函数在神经元  $h_i$  处的一阶偏导数，根据以上的公式可以得到，神经网络的敏感度主要依赖于神经元的一阶偏导以及相应的神经元变化的大小，由于  $h_i'$  的变化可能是由裁剪造成的，因此我们的公式可以不加修改地应用到其他情况中。

### 1.2 神经网络能效性分析

以往裁剪工作中通常将乘加计算量  $MAC_{\text{conv}}$  和参数量  $Params_{\text{conv}}$  作为模型压缩的能耗代理量来进行

裁剪。一种更有效的能耗预估方案是通过  $MAC_{conv}$  和  $Params_{conv}$  建立起线性的能耗预估模型：

$$y_{energy} = x_1 \cdot MAC_{conv} + x_2 \cdot Params_{conv} \quad (3)$$

这种线性能耗预估模型在一定程度上可以反映模型的消耗情况，但是却不能完全代表整个模型的能耗消耗<sup>[5]</sup>。本文则考虑将卷积中的相关特征信息细粒度化，并加入了有关于硬件信息的特征，比如，片上PE的数量、每级内存的大小以及相对应的访存能耗等。如下面公式所示，将算法层面和体系架构层面的特征进行结合，并使用非线性高斯回归模型进行建模，得到每一层卷积的能耗消耗。而整体的能耗消耗则可以通过每一层能耗消耗的累加得到。

$$y_{energy} = f(x_i) + \epsilon_i$$

$$f(\cdot) \sim GP(\cdot|0, K), \epsilon_i \sim N(\cdot|0, \sigma^2) \quad (4)$$

其中  $x_i$  是相应的特征，由神经网络的算法特征和底层硬件的特征组成， $\epsilon_i$  是一个符合独立  $N(\cdot|0, \sigma^2)$  的噪声，用以防止模型过拟合。 $f(\cdot)$  则符合了协方差为  $K$  的高斯过程分布，其中协方差矩阵  $K$  为径向基向量核函数：

$$K(x, x') = \exp(-\gamma \|x - x'\|^2) \quad (5)$$

### 1.3 强化学习裁剪方案设计

为 DNN 模型设计能效性和可靠性均衡的裁剪方案仍具挑战性，为了避免人工设计周期长的弊端，我们使用强化学习来自动生成模型的压缩策略。

#### 1.3.1 输入特征空间和动作空间

在得到训练模型参数之后，需要对神经网络进行特征编码，编码后的信息作为观测环境被强化学习智能体观察。我们考虑了两方面的信息作为神经网络的状态信息，一方面是神经网络的基础特征，另一方面是神经网络的增强特征，基本特征是神经网络模型固有的，例如神经网络中每一层的卷积核大小、输入输出特征图大小等。而增强特征则会随着每一次迭代策略的变化而变化，如当前策略的能耗、可靠性的分析和评估等信息。

由于细粒度的裁剪影响到程序并行度，需要专

门的定制芯片支持，因此我们只考虑粗粒度的结构化裁剪方案。强化学习每次识别出每一层中不重要卷积核所占用的比例，生成每一层的裁剪率，以此来得到每层应当保存的卷积核数量。但由于卷积核的数量众多，且每一层都存在着不同的卷积核数量，那么很难将动作限定在一个合适的范围。因此考虑通过裁剪率代替卷积核个数，由此我们限定每一层的动作范围为  $[0.0, 1.0]$  连续实数空间。每一层的裁剪个数将依次由生成的裁剪率以及该层所对应的总的卷积核个数乘积所得。

#### 1.3.2 回报函数和智能体设计

如以下公式所示，强化学习的回报函数由两部分组成，其中  $E_{total}$  代表了当前压缩策略所消耗的能耗， $E_{target}$  为当前用户需求下的目标能耗值， $R_a$  则代表了当前状态下可靠性评估结果。参数  $w$  则为两个目标之间的均衡值，其大小通过超参数  $\lambda$  和  $\mu$  来决定，超参数  $\lambda$  和  $\mu$  的值决定当前回报函数中不同目标的优先级。

$$Reward = \left\{ \log \left( \frac{E_{total}}{E_{target}} \right) \right\}^w \cdot R_a \quad (6)$$

对于强化学习，我们使用深度确定性策略梯度算法<sup>[6]</sup>。在我们的环境中，每一步智能体都会做出裁剪策略，对网络中每一层权重进行裁剪，每个回合是包含了多步压缩策略的集合，其长度取决于神经网络的深度，直至裁剪到最后一层才能得到模型的能效性和可靠性评估参数。我们使用了贝尔曼方程的变体，转移状态方程定义为  $T_k = (O_k, a_k, R, O_{k+1})$ ，在探索阶段， $Q$  方程被设置为计算为：

$$\hat{Q}_k = R_k - B + \gamma \times Q(O_{k+1}, W(Q_{k+1})|\theta^Q) \quad (7)$$

## 2 实验验证

### 2.1 实验配置

为了验证我们的方法的有效性，我们使用了 CIFAR10 数据集，一个包含了 10 类  $32 \times 32$  大小的 RGB 彩色图像的数据集。我们使用了 Pytorch 深度学习框架，使用了 MobileNet 深度神经网络模型，对其进行了 2 倍裁剪压缩，对裁剪模型进行了 10 轮不

同位错误率(Bit Error Ratio, BER)的可靠性测试。

## 2.2 高可靠验证

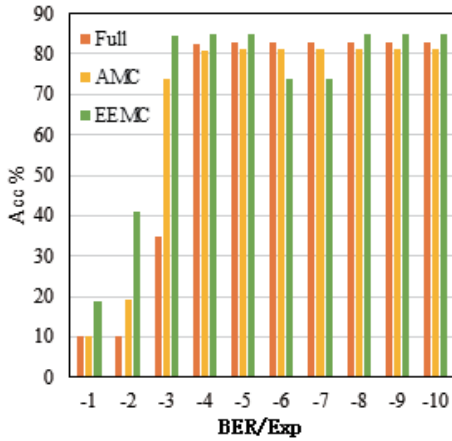


图 2 不同故障率的可靠性验证实验

Fig.2 Reliability experiments in different BER

在高可靠性的实验中，我们将在保证能耗和精度的前提下，尽可能地提高模型的可靠性。实验结果如图 2 所示，裁剪后的模型精度由原始的 82.92% 下降到 81.09%，计算量减少了 2 倍。在一定故障率范围内，裁剪压缩可以增加模型的可靠性。相比于原始模型和自动化压缩模型，我们的方案甚至能够提高原有模型的精度 (82.92–85.11)，这是由于随机位翻转在一定程度并不完全损害网络的性能，我们的方案在不断地调整策略过程中学习到位翻转给模型带来的有利影响，规避了有害影响，从而带来了小幅度的可靠性提升。其次，我们的方案会改变模型最低无损故障率的门槛，从原有模型的  $1E-5$  提高至  $1E-3$ ，意味着我们的方案在较高故障率下有更高的可靠性，相同压缩下模型的可靠性显著提升。

与文献 [7] 提出的 AMC 相比，我们提出的方案能够在相同能耗消耗下提升 3.92%–21.98% 的可靠性，最高的可靠性提升是发生在故障率值为  $1E-2$  时，此时的可靠性提升为 21.98%。相比于原始位裁剪的模型，模型的可靠性可以被提升 1.83–49.87%，最高的提升是在故障率值  $1E-3$  时，此时的可靠性提升为 49.87%。因此，我们的方案能够提升模型故障率阈值门槛，可以容忍更高的故障率，而在同等故障率

的情况下，我们的方案能够带来更高的可靠性。

## 2.3 高能效验证

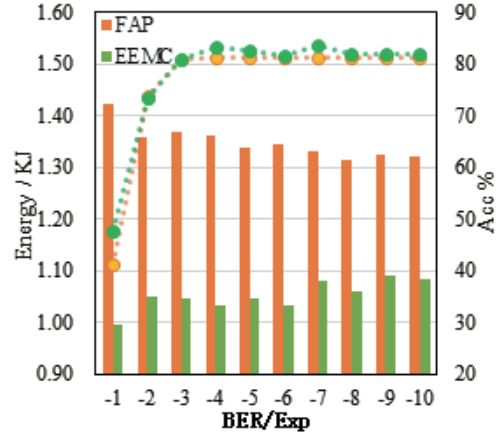


图 3 在不同故障率下能耗性验证实验

Fig.3 Energy efficient experiments in different BER

在高能效实验中，我们考虑的是在保证可靠性下尽可能高的能效性。实验结果如图 3 所示，随着模型故障率不断减少，模型的可靠性也在不断上升，其中故障率为  $1E-3$  时，模型的精度下降出现了一个转折点，高于该点的故障率会出现大幅度精度下降。与原始模型相比，在较高故障率下，文献 [8] 提出的 FAP 可以提升 63.91% 的可靠性。可见当模型中发生较大的故障率时，FAP 可以有效提升模型的可靠性，缓解模型的精度下降，但是在较低故障率时，FAP 提升的性能极其有限。但随着故障率不断减小，模型的能耗消耗也在不断减少，最终并趋于稳定，整体的能耗消耗维持在 1.32kJ 左右。相对于我们的方案，在故障率较大的情况下，FAP 的能效节省的空间极其有限，在故障率为  $1E-1$  时，我们的方案比 FAP 节省 30% 的能耗，这是由于强化学习智能体可以在低可靠性要求下尽可能多地压缩模型，达到较低的能耗。即便在较低故障率的情况下，我们的方案最少也可以获得 17% 的能耗提升。FAP 的缺陷在于，其节省的能耗往往受限制于故障率大小，当故障率较大时，模型中需要裁剪的参数变多，能够获得较高的能效性。当故障率较小时，获得较小的能效性。相比于 FAP，我们的方案在相近可靠性情况下获得 17%–

30%的能耗节省。与FAP固定裁剪某一部分带来的固定能效收益不同，我们的方案可以根据裁剪后的重要度动态调整需要裁剪的参数，裁剪比例大于FAP方案，因此能够在相同可靠性条件下获得较大的能效收益。

### 3 结论

神经网络的能效性和可靠性是模型部署时两个重要的问题，但是以往的文献中往往只关注了其中一方面，而忽略了另外一方面带来的影响，而这不能满足实际用户需求。在本文中，我们提出了一种面向移动设备的高能效高可靠性DNN模型压缩方案，为了快速评估压缩模型的能耗和可靠性，分别对神经网络的能耗和可靠性进行了分析，建立了能耗和可靠性模型，利用强化学习的优势，我们将每层压缩率的优化问题映射为强化学习问题，将每层的能耗和可靠性作为强化学习环境信息，迭代地搜索每一层的压缩策略。与文献[7]的工作相比，提出的方案可以在同等能效下提高可靠性22%。与文献[4]的工作相比，可以在同等可靠性条件下提高30%的能效性。

**致谢：**感谢国家自然科学基金项目(62076168, 61772350)和科技创新服务能力建设基本科研业务费(科研类)(19530050173)对本课题工作的支持。

### 参考文献 (References)

- [1] HAN S, POOL J, TRAN J, et al. Learning both weights and connections for efficient neural network [C] // Advances in Neural Information Processing Systems 28, C. Cortes, N. D. Lawrence, D. D. Lee, M. Sugiyama, and R. Garnett, Eds. Curran Associates, Inc, 2015: 1135–1143.
- [2] ZHANG J, CHEN X, SONG M, et al. Eager pruning: algorithm and architecture support for fast training of deep neural networks [C] // Proceedings of the 46th International Symposium on Computer Architecture. New York, NY, USA, 2019: 292–303.
- [3] HE Y, ZHANG X, SUN J, Channel pruning for accelerating very deep neural networks [C] // IEEE International Conference on Computer Vision (ICCV). Oct. 2017: 1398–1406.
- [4] ZHANG J, GU T, BASU K, et al. Analyzing and mitigating the impact of permanent faults on a systolic array based neural network accelerator [C] // IEEE 36th VLSI Test Symposium (VTS). Apr. 2018: 1–6.
- [5] WANG J, FU X, WANG X, et al. Enabling energy-efficient and reliable neural network via neuron-level voltage scaling [J] IEEE Transactions on Computers, 2020, 69(10): 1460–1473
- [6] YANG T-J, CHEN Y-H, SZE V. Designing energy-efficient convolutional neural networks using energy-aware pruning [C] // IEEE Conference on Computer Vision and Pattern Recognition (CVPR), Jul. 2017: 6071–6079.
- [7] HE Y, LIN J, LIU Z, et al. AMC: automl for model compression and acceleration on mobile devices [C] // Computer Vision – ECCV 2018 – 15th European Conference, Munich, Germany, 2018: 815–832.
- [8] ZHANG J-J, et al. Building robust machine learning systems: current progress, research challenges, and opportunities [C] // Proceedings of the 56th Annual Design Automation Conference 2019, Las Vegas, NV, USA, 2019: 1–4.



#### 作者简介：

刘澍波(1996—)，男，河南周口市人，硕士研究生，当前研究方向为计算机体系结构。



# 减缓宇航用 SRAM 型 FPGA 单粒子效应的刷新策略研究

李明哲, 陈 雷, 孙华波, 李学武, 张 帆, 朱志强

(北京微电子技术研究所, 北京 100076)

**摘 要:** 宇航用 SRAM 型 FPGA 在空间环境中易受到单粒子效应 (SEE) 的影响, 导致 FPGA 逻辑和布线错误。通过刷新重载 FPGA 的配置码流实现单粒子效应减缓的效果是提高 FPGA 抗辐射能力的主要方式。本文基于自主开发的刷新评估系统对多种刷新方式进行了比较评估, 并根据实验结果给出了不同应用场景下, 实现方式最简单、可靠性最优的刷新策略。研究结果为航天电子工程师选择 SRAM 型 FPGA 的刷新策略提供了重要参考。

**关键字:** SRAM 型 FPGA; 刷新策略; 单粒子效应; 刷新评估系统

**中图分类号:** TN47      **文献标识码:** A

## The Research on Scrubbing Strategies of mitigating SEE for Space Used SRAM-based FPGA

Li Mingzhe, Chen Lei, Sun Huabo, Li Xuewu, Zhang Fan, Zhu Zhiqiang

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

**Abstract:** SRAM-based FPGAs used in space environment are susceptible to Single event effects (SEE), which leads to the logic and wiring errors of FPGAs. Scrubbing is the main method to improve the radiation resistance of FPGAs by reloading the configuration bitstream of FPGA to mitigate SEE. This paper compares and evaluates various scrubbing methods based on the self-developed scrubbing evaluation system. According to the experiment results, we present the optimal scrubbing strategy with the simplest implementation and highest reliability, which can provide significant reference for aerospace electronics engineers when choosing the scrubbing strategies for SRAM-based FPGAs.

**Key words:** SRAM-based FPGA; scrubbing strategy; single event effects; scrubbing evaluation system

## 0 引言

SRAM 型 FPGA 由于具有高性能、低成本和高灵活性的特点, 现在已经广泛应用于太空任务之中。SRAM 型 FPGA 的结构可以分为两层, 如图 1 所示, 上层包含用户逻辑模块, 下层包含 SRAM 阵列。如图中箭头所示, 逻辑资源和互连资源由较低层中的 SRAM 配置位控制。FPGA 的特定功能取决于整个电路中大量的 SRAM 配置位。这些配置位的集合称为配置码流。

在太空环境中使用 SRAM 型 FPGA 时, 高能粒子可能会穿过器件, 在其运动路径上产生电子-空穴对, 引发单粒子效应 (SEE)。如果高能粒子撞击到

SRAM 单元的敏感区域, 将会使存储的信息发生翻转, 从而诱发单粒子翻转 (SEU), 这成为 SRAM 型 FPGA 单粒子效应的主要表现形式。如果 SEU 发生在配置存储器内可能会导致严重故障, 甚至导致整个系统发生功能中断, 此时只能通过重新加载正确的码流才能消除<sup>[1,2]</sup>。

Salazar 和 Caffrey 在 2000 年首次提出了通过回读和重新加载的方法消除比特流中可能积累的 SEU<sup>[3]</sup>。之后, 学者们提出了多种刷新方式, 包括盲刷新、回读校验刷新、自刷新、JTAG 刷新, SelectMAP 刷新等<sup>[4-6]</sup>。但是不同刷新方式对电路系统的要求与开销不同, 在不同强度辐射环境下的应用

效果也会不同,为了给航天电子工程师提供减缓 SEE 的最佳策略,本文设计了一种刷新评估系统,在辐照实验中实现了各种刷新策略并针对不同应用场景分析其有效性。不同刷新策略的详细过程在第一部分中进行了介绍,刷新评估系统在第二部分介绍,第三部分分析了各种刷新策略的实验结果,第四部分对全文进行了总结。

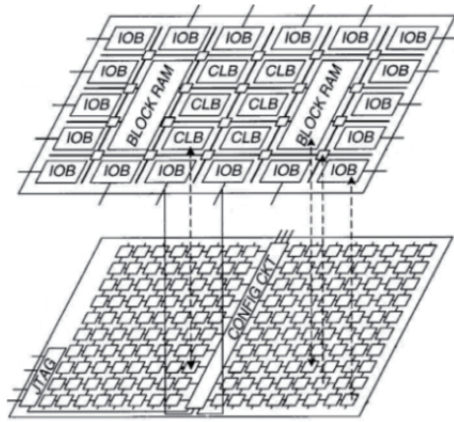


图1 SRAM型FPGA的结构  
Fig.1 The structure of SRAM-based FPGA

## 1 主要的刷新策略

刷新策略按照不同的维度可分为不同类型。从码流处理的角度,刷新策略分为盲刷新、回读文件检验刷新、回读CRC校验刷新;从刷新接口的角度,刷新策略分为SelectMAP刷新和JTAG刷新;从刷新电路位置的角度,刷新策略分为外部刷新和自刷新。上述刷新类型可以进行不同的组合从而形成多种刷新策略<sup>[7-10]</sup>。

### 1.1 盲刷新

所谓盲刷新就是无需回读和错误检测,直接重写器件的码流。盲刷新可以通过并行接口如SelectMAP接口,或通过串行接口如JTAG接口进行刷新。刷新数据需要保存在抗辐照加固的PROM中,刷新电路从该PROM中读取原始码流,然后将码流注入FPGA中。刷新周期取决于刷新时钟的频率和被刷器件码流的大小。通常情况下,一个刷新周期在几毫秒到几秒。

### 1.2 回读校验刷新

根据不同的SEU检测方法,回读校验刷新可进一步分为比较回读文件方案和检查帧CRC校验值方案。

比较回读文件方案如图2所示,刷新电路从被刷FPGA中读取配置码流,将回读数据与rbb文件和mask文件进行对比。可以比较配置码流中的每一帧甚至每一个bit数据,当SEU被检测到之后,相应的帧数据将被重新加载到FPGA中。

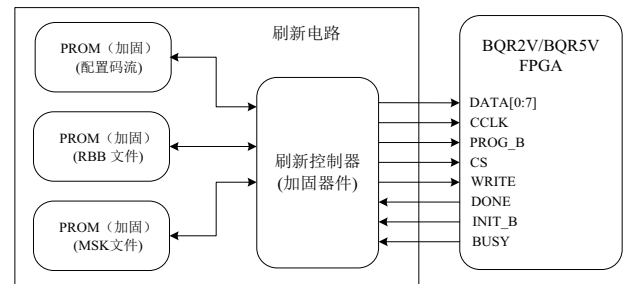


图2 比较回读文件方案结构框图  
Fig.2 Schematic of readback file comparison scheme

该方法需要一个mask文件(.msk)和一个rbb文件(.rbb),两个文件的大小和原始配置码流文件大小一致,因此需要额外的两个抗辐照加固PROM来保存这两个文件。由于通常空间应用中无法满足这样的资源需求,Los Alamos国家实验室空间数据系统小组开发了另一种方法,这个方法是为每一帧的数据记录一个CRC校验值,在回读过程中,每一帧回读数据都会生成一个新的CRC校验值,并与预期的CRC校验值作对比,该方法极大的缩减了执行文件比较检测所需的系统存储空间。

### 1.3 自刷新

通常来说,上述两个刷新策略是基于外部刷新电路实现的。为了减少系统设计开销,刷新电路可以被设计在被刷FPGA的内部。SelectMAP接口和JTAG接口均支持自刷新。从Virtex-2器件开始,Xilinx公司在FPGA中提供了ICAP组件,可以节省外部管脚的数量,如图3所示。

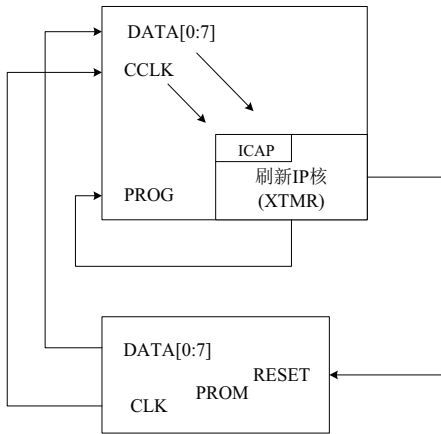


图3 ICAP刷新结构框图  
Fig.3 Schematic of ICAP scrubbing

自刷新有一个明显的缺陷在于刷新逻辑位于FPGA内部，其同样容易受到SEU的影响。一旦自刷新逻辑相应的SRAM区域被高能带电粒子击中，刷新将会失效，并且该故障只能通过重新加载FPGA来消除。

#### 1.4 各种刷新方式的优缺点

表1中总结了全局刷新、盲刷新、回读校验刷新和ICAP刷新策略的主要优缺点。

## 2 刷新评估系统

本文自主设计了一个刷新评估系统，如图4所示。其中(a)为刷新评估系统功能框图，(b)为BQR5V系列FPGA刷新评估系统实验图。其中FPGA1是辐照实验的待测器件，FPGA2用于实现各种刷新策略。评估系统上位机可以从FPGA1处监控DONE信号和FPGA1的功能，从程控电源处记录刷新电流，还能够通过RS485接口或USB接口从FPGA2中接收数据。FPGA2不仅可以实现各种刷新策略，而且可以监控FPGA1的状态寄存器。并将采集到的状态寄存器的信息定期传送至上位机。上位机软件可以进行以下操作：电源控制、功能显示、启动刷新、暂停刷新以及停止实验，这些操作可按既定流程手动执行，也可自动执行。通过本刷新评估系统，选择BQR2V系列FPGA以及BQR5V系列FPGA在不同应用场景中减缓单粒子效应的最优刷新策略。

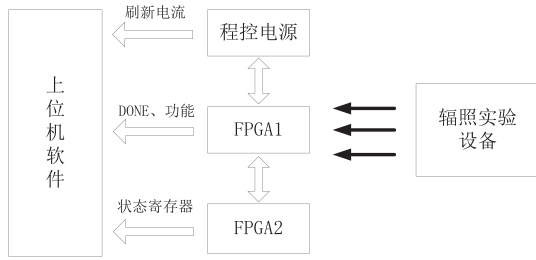
为了评估刷新效果，本文设计了FPGA2中运行的刷新程序，其中包括5种刷新策略。分别为SelectMAP回读校验刷新、JTAG回读校验刷新、SelectMAP盲刷新、JTAG盲刷新和ICAP刷新。

表1 不同类型刷新策略的优缺点

Tab.1 The advantages and disadvantages of different types of scrubbing strategies

刷新方式	过程	优点	缺点
全局复位刷新	定期拉低FPGA的复位管脚进行复位，实现上电重配置	实现简单	无纠错功能，且FPGA功能中断
外部刷新	盲刷新 JTAG/SelectMAP	从外部存储器读取原始数据 -> 将数据按帧写入配置区 -> 配置控制器执行配置刷新	FPGA功能不受影响，控制逻辑简单
回读校验刷新 JTAG/SelectMAP	顺序读取帧数据 -> 执行CRC校验或直接比对 -> 写回纠错后数据	FPGA功能不受影响，发生错误时仅对单帧刷新纠错，写操作时间较短	需要外部存储区，不进行纠错，写入操作多
内部刷新	ICAP刷新	通过ICAP接口回读帧数据 -> ECC算法检测错误 -> 帧纠错 -> 通过ICAP接口写回纠错后数据	FPGA功能不受影响，无需外部存储器、配置控制器，不受外部引脚约束，读写配置寄存器时间较短





(a) 刷新评估系统功能框图

(a) The function block diagram of scrubbing evaluation system



(b) BQR5V 系列 SRAM 型 FPGA 刷新评估系统实验图

(b) The experiment figure of scrubbing evaluation system of BQR5V series SRAM-based FPGAs

图 4 刷新评估系统

Fig.4 Scrubbing evaluation system

### 3 辐照实验及结果分析

为了评估宇航用 SRAM 型 FPGA 在不同应用环境下各种刷新策略减缓 SEE 的有效性，本文使用配置码流较小的 BQR2V 系列 BQR2V3000 型 FPGA 和配置码流较大的 BQR5V 系列 BQR5VVSX95T 型 FPGA 进行 SEE 实验进行评估。通过测量 FPGA 的 DONE 信号、功能以及刷新电流分析上述刷新策略的有效性。

#### 3.1 辐照实验

本文的刷新评估系统选择了两种辐射注量率，分别为  $100 \text{ ions/cm}^2 \cdot \text{s}$  和  $10000 \text{ ions/cm}^2 \cdot \text{s}$ ，这分别对应于 FPGA 工作在低、高错误率的应用场景。辐照实验所选粒子的主要特征如表 2 所示。辐照时 FPGA 的测试用例是由 FPGA 内部 LUT、触发器和 BRAM 模块级联构成的移位寄存器。

表 2 所用重粒子的主要特征

Tab.2 The main characteristics of used heavy ions beams

种类	能量 [MeV/u]	表面 LET 值 [MeV/mg/cm <sup>2</sup> ]	硅中射程 [μm]
Cl	164	12.9	47.4
Ti	169	21.8	34.7

辐照实验流程图如图 5 所示。首先选择辐照实验的刷新策略和注量率。其次，将第一块 FPGA，即 FPGA1 置于辐照环境下并监控 FPGA1 的 DONE 信号、功能和刷新电流，如果实验过程中上述任一条件发生异常或者到达辐照时间，则关闭辐照实验离子源，停止此次辐照实验。

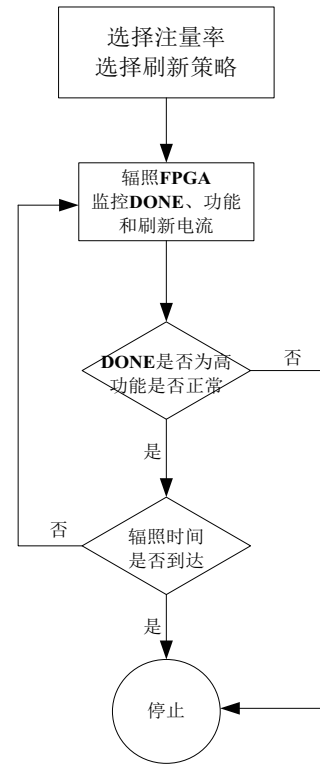


图 5 辐照实验流程图

Fig.5 Evaluation experiment flow

#### 实验 1：BQR2V3000 刷新策略评估

刷新策略评估系统针对 BQR2V3000 分别采用 SelectMAP 回读校验刷新、JTAG 回读校验刷新、SelectMAP 盲刷新、JTAG 盲刷新和 ICAP 刷新。实验结果如表 3 所示。

表 3 BQR2V3000 实验结果  
Tab.3 The experiment results of BQR2V3000

刷新方式	100 ions/cm <sup>2</sup> · s			10000 ions/cm <sup>2</sup> · s		
	DONE	功能	刷新电流 (mA)	DONE	功能	刷新电流 (mA)
SelectMAP 回读校验刷新	是	正常	201	是	正常	209
JTAG 回读校验刷新	是	正常	135	是	正常	136
SelectMAP 盲刷新	是	正常	284	是	正常	293
JTAG 盲刷新	是	正常	190	是	正常	197
ICAP 刷新	是	正常	/	是	异常	/

表 4 BQR5VSX95T 实验结果  
Tab.4 The experiment results of BQR5VSX95T

刷新方式	100 ions/cm <sup>2</sup> · s			10000 ions/cm <sup>2</sup> · s		
	DONE	功能	刷新电流 (mA)	DONE	功能	刷新电流 (mA)
SelectMAP 回读校验刷新	是	正常	314	是	正常	316
JTAG 回读校验刷新	是	正常	210	是	正常	218
SelectMAP 盲刷新	是	正常	397	是	正常	403
JTAG 盲刷新	是	正常	282	是	正常	285
ICAP 刷新	是	异常	/	否	异常	/

## 实验 2: BQR5VSX95T 刷新策略评估

刷新策略评估系统针对 BQR5VSX95T 分别采用 SelectMAP 回读校验刷新、JTAG 回读校验刷新、SelectMAP 盲刷新、JTAG 盲刷新和 ICAP 刷新。实验结果如表 4 所示。

## 3.2 结果分析

基于刷新评估系统, 本文完成了针对宇航用 BQR2V 以及 BQR5V 系列 FPGA 的多组对比验证实验。由辐照实验结果可得以下结论:

与盲刷新和回读校验刷新方式相比, ICAP 刷新减缓 SEE 的效果最差。这是因为 ICAP 刷新电路位于 SRAM 型 FPGA 内部, 如果 SEE 发生在 FPGA 内部的刷新逻辑中, 刷新功能将会失效, 因此对于空间任务, ICAP 刷新减缓单粒子效应的效果不如外部刷新。

从 SRAM 型 FPGA 应用场景的角度分析。在错误率较高的应用环境中, 回读校验刷新和盲刷新策略减缓单粒子效应的有效性大致相同。但是由于 SelectMAP 刷新方式是并行刷新, 其刷新周期小于通过 JTAG 接口的串行刷新方式。因此 SelectMAP 刷

新略优于 JTAG 刷新。

从系统功耗的角度分析, 由于盲刷新需要不间断地对 SRAM 型 FPGA 的配置存储器写入配置码流, 而回读校验刷新只需要在回读帧发生错误时才向 FPGA 配置存储器中写入该错误帧的数据, 因此回读校验刷新比盲刷新更适用于对功耗要求较高的应用场景。

从 FPGA 码流大小和管脚应用的角度, BQR5VSX95T 码流约为 BQR2V3000 码流的 3 倍。对于配置码流较大的 BQR5VSX95T, SelectMAP 刷新的修复速率比 JTAG 刷新修复速度快, 刷新周期缩短时间明显, 所以采用 SelectMAP 刷新策略更可靠。对于配置码流较小的 BQR2V3000, JTAG 刷新和 SelectMAP 刷新有效性大致相同, 但是 JTAG 刷新逻辑简单, 更容易实现, 因此采用 JTAG 刷新策略更易于实现。由于 SelcetMAP 刷新需要占用 FPGA 部分 IO 资源, 因此在 IO 资源少或者 SelcetMAP 配置引脚被占用的应用环境中, 只能选择 JTAG 刷新策略。

表 5 针对 SRAM 型 FPGA 不同应用场景的需求, 对减缓单粒子效应的最优刷新策略进行了总结。

表 5 不同应用场景适用的刷新策略  
Tab.5 The scrubbing strategies for different application scenarios

应用场景		最优刷新策略
错误率	高	SelectMAP 刷新
	低	SelectMAP 刷新、JTAG 刷新
功耗要求	高	回读校验刷新
	低	回读校验刷新、盲刷新
配置码流	大	SelectMAP 刷新
	小	JTAG 刷新
IO 资源	少	JTAG 刷新
	多	SelectMAP 刷新、JTAG 刷新

4 结论

本文基于自主设计的刷新评估系统完成了宇航用BQR2V以及BQR5V系列FPGA多组刷新方式的对比实验。并根据实验结果分析得到在不同的应用场景中，减缓宇航用SRAM型FPGA单粒子效应的最优刷新策略。为航天电子工程师在减缓SRAM型FPGA单粒子效应时选择最优的刷新策略提供了有益参考。

致谢：感谢北京微电子技术研究所工程师李琦、李政和刘怀锋的讨论，以及黄辉银、孙秋雅和祁逸在板级验证方面的支持。

参考文献 (References)

[1] PHILIPPE A,GREG A,Assessing and Mitigating Radiation Effects in Xilinx FPGAs, JPL Publication 08-9 2/08.

[2] GREGORY A, GARY S and CARL C, VIRTEX-4QV STATIC SEU CHARACTERIZATION SUMMARY, JPL Publication 08-16 4/08.

[3] CARMICHAEL C, FULLER E, FABULA J, et

al.Proton testing of SEU Mitigation Methods for the Virtex FPGA[C]. INTERNATIONAL CONFERENCE ON MILITARY AND AEROSPACE APPLICATIONS OF PROGRAMMABLE LOGIC DEVICES,MAPLD, 2001: 1-7.

[4] CARL C, MICHAEL C, ANTHONY S.Los Alamos National Laboratories,Correcting Single-Event Upsets Through Virtex Partial Configuration,Xilinx, XAPP216 (v1.0) June 1, 2000.

[5] BRENDAN B, CARL C, CHEN W T,Correcting Single-Event Upsets in Virtex-II Platform FPGA Configuration Memory, Xilinx, XAPP779 (v1.1) February 19, 2007.

[6] CARL C, and CHEN W T,Correcting Single-Event Upsets in Virtex-4 Platform FPGA Configuration Memory, Xilinx, XAPP988 (v1.0) March 13, 2008.

[7] 赵刚. 基于配置比特流的FPGA容错技术的研究[D]. 北京化工大学,2013.

[8] GARY M S,Xilinx Single Event Effects 1st Consortium Report- Virtex-II Static SEU Characterization, Jet Propulsion Laboratory, California Institute of Technology, January 2004.

[9] 陶晓霞, 邢炜, 徐启炳, 等. Virtex-4系列FPGA纠正单粒子翻转的方法研究[J]. 空间电子技术, 2011(2): 54-57.

[10] 郑晓云, 陶淑苹, 冯汝鹏, 等. RAM型FPGA抗单粒子翻转技术研究[J]. 电子测量技术, 2015(1): 59-63.



作者简介:

李明哲(1992—), 男, 河北沧州人, 硕士研究生, 工程师, 主要从事超大规模FPGA测试设计研究。

# 一种基于稳健回归的快速周跳检测与修复方法

由立华, 毕波

(北京微电子技术研究所, 北京 100076)

**摘要:** 对低成本的高精度单频接收机, 存在单一频点数据冗余度低的特点, 现有的周跳检测方法运算量大, 且对多颗星同时发生周跳时的检测效果不好。本文提出一种基于稳健回归的快速周跳检测与修复方法。目前主流的定位方法使用最小二乘解算, 但该方法对观测量的异常值特别敏感, 本文将定位时最小二乘改为更加稳健的最小二乘, 使定位结果和残差对周跳的敏感度大大降低, 当一个或多个卫星发生任意大小的周跳时, 仍然可以得到可靠的定位结果及残差等。实际测试结果表明, 该方法具有很高的成功率, 在单个卫星或多个卫星发生周跳时, 都能很好的识别并修复。该方法计算速度快, 可靠性强, 对单频、多频接收机均适用, 对室内定位、伪距定位、多源信息融合定位等亦可以使用, 具有广泛的适用性。

**关键词:** 稳健回归; 最小二乘; 周跳检测与修复; 单频

**中图分类号:** TN967.1 **文献标识码:** A

## Quantile Regression-Based Cycle Slip Detection and Fixing Method for Single-Frequency Receiver

You Lihua, Bi Bo

(Beijing Institute of Microelectronics Technology, Beijing, 100076, China)

**Abstract:** In precise positioning, real-time cycle slip detection and fixing of phase observations of satellites is the key to affect the accuracy and reliability of high-precision positioning. For the low-cost single-frequency receiver, it is not possible to eliminate the common error by constructing the combination of multi-frequency observation, and also that the carrier changes rapidly as the receiver moves. This paper proposes a quantile regression-based cycle slip detection and fixing method for single-frequency receiver. The method replaced the least squares of positioning with a more robust least absolute error, so that the positioning results and the residuals are more insensitive to the cycle slip. When cycle slip occurs at one or more satellites, reliable positioning results and residuals can still be obtained. The residual, at that time, is checked, and the satellite with the cycle slip can be successfully identified then. The actual experiment results show that this method has a high success rate and cycle slips can be well identified and fixed for one single or multiple satellites. This method is simple in calculation and robust in reliability, and is applicable to both single-frequency and multi-frequency receivers.

**Key words:** quantile regression; least absolute error; cycle slip detection and fixing; single-frequency

## 0 引言

在使用载波进行高精度精密定位过程中, 对各个卫星载波相位观测值的实时周跳检测与修复是影响高精度定位精度及可靠性的关键。目前常用的卫星周跳检测与修复的方法包括高次差法、多项式拟合法、电离层残差法、伪距相位组合法等<sup>[1,2]</sup>。对双频接收机

而言, 有效的方法很多, 比如电离层残差法、伪距相位组合法通过构造不同频点的观测量组合来消除大部分公共误差, 但这些方法不适用于单频接收机。

对单频接收机而言, 目前主要的周跳检测方法分为几何无关和几何有关两大类。几何无关方法<sup>[3,4]</sup>利用载波观测量在相邻前后若干历元的时序相关性,

通过差分或拟合来检测周跳，这些方法可以适用于单频或多频接收机，但一般需要接收机处于静止或低速运动。当接收机处于高速或复杂的运动状态时，载波的变化受到位置、钟差、大气延时等变化影响，这可能导致基于载波时序变化的周跳检测方法无法很好的使用，如 F.Zangeneh-Nejad<sup>[3]</sup> 的实验发现，采样率降低时，检测成功率也随之降低。同时，几何无关方法需要分别对每一颗卫星单独计算其可能的周跳整数值，因此计算量较大。

几何有关方法则将接收机位置参数变化和全部卫星的周跳放在一起同时检测，如 M.KirkkoJaakkola<sup>[5]</sup>、Simon Banville<sup>[6]</sup>、S.Fujita<sup>[7]</sup> 等引入了基于位置、多普勒等的最小二乘及卡尔曼滤波，但由于最小二乘法对异常值特别敏感，实验表明当卫星数大于等于 2 时效果不理想，要么无法成功检测<sup>[5]</sup>，要么需要 10 秒以上的收敛时间<sup>[6]</sup>。L.B.Rapoport<sup>[8]</sup> 对位置变化引入 L0 约束，实验表明，多个卫星同时发生周跳时的成功率较高，但计算复杂度呈指数级增加。C.Qian<sup>[9]</sup> 针对不同周跳卫星数目下分别计算统计指标，从中选择使误差最小的，该方法成功率较高，但当发生周跳的卫星数目增加时，计算复杂度较高，且需要对发生周跳的卫星个数做出推断，运算量较大。

针对这一问题，本文提出一种适合于单频接收机在各种运动状态下的周跳检测与修复方法，将定位时对异常值敏感的最小二乘改为对粗差不敏感的最小一乘，消除了卫星与接收机之间距离波动带来的影响，在得到稳健的定位结果的同时，利用定位后残差进行周跳检测，能够同时对全部卫星进行周跳检测。由于本方法只用当前历元的观测值，不基于过去历元的观测值或状态变化，因此对于静止或快速运动的接收机都适用。同时，本方法不需要对发生故障的卫星数目做出假定或推断，计算量小，适合于快速解算。本文采用了实际数据进行了验证，该方法在发生周跳的卫星数小于等于 6 时（卫星总数 19 颗），能够成功检测并修复 96% 以上的周跳。

## 1 稳健回归

### 1.1 分位数回归模型

在使用载波进行定位时，常使用最小二乘进行解算，当误差服从模型假设时，最小二乘的结果是最优线性无偏估计，即当全部卫星均不含有周跳的时候，可以得到毫米到厘米级的高精度定位结果，但是最小二乘模型对异常值非常敏感，当至少一颗卫星发生周跳的时候，误差分布不再服从原模型假设的零均值高斯分布，由于最小二乘采用平方和形式会放大误差的影响，解算的位置变得很不可靠，由此计算的残差也很不准确。Koenker<sup>[10]</sup> 对最小二乘和分位数回归方法分别进行敏感性分析发现，当模型误差中加入干扰时，使用最小二乘方法时，未知参数受到的扰动大小与误差干扰的大小呈线性变化，而使用分位数回归方法时，未知参数受到的扰动大小存在固定的上界，且该上界与误差干扰的大小无关，可以看出分位数回归方法是一种较为稳健的回归方法。

Koenker 提出的分位数回归方法<sup>[11]</sup>，是一种稳健回归的方法，该方法基于误差的绝对值进行目标函数最小化，当少数观测量出现较大误差甚至异方差的情况下，对未知参数的影响很小，能够得到较为稳健的计算结果，该方法具有很好的鲁棒性。

对于线性模型， $Y = X\beta + \varepsilon$ ， $Y$  为  $n \times 1$  矩阵， $X$  为  $n \times p$  矩阵， $\varepsilon$  为  $n$  维误差向量， $\beta$  为  $p$  维未知参数向量。分位数回归模型如下：

$$\hat{\beta} = \arg \min \sum_{i=1}^n \rho_{\tau}(Y_i - X_i^T \beta) \quad (1)$$

其中，

$$\rho_{\tau}(u) = u(\tau - I(u < 0)) \quad (2)$$

$$\tau \in [0, 1] \quad (3)$$

对于  $\hat{\beta}$  的求解，可以引入松弛变量转化为一个线性规划问题，采用单纯形法<sup>[12]</sup> 或内点法。从求解速度上看，当  $n$  小于 500， $p$  小于等于 4 时，单纯形法求解分位回归模型，比使用最小二乘方法求解相同的模型所用的计算时间要短<sup>[10]</sup>。

同时，可以计算  $\hat{\beta}$  的近似方差<sup>[11]</sup> 如下：



$$\text{cov}(\hat{\beta}) = w(\tau)^2 (X^T X)^{-1} \quad (4)$$

$$w(\tau) = \frac{\tau(1-\tau)}{f^2(F^{-1}(\tau))} \quad (5)$$

其中,  $f(u)$  为误差  $\varepsilon$  的分布密度函数, 可以用  $\varepsilon$  的估计值  $\hat{\varepsilon}$  的经验分布来进行估算, 可采用核函数法、直方图法等<sup>[10]</sup>。

$F(x) = P(\varepsilon \leq x)$  为误差  $\varepsilon$  的累积分布函数, 对于任意  $0 < \tau < 1$ ,  $F^{-1}(\tau) = \inf\{x: F(x) \geq \tau\}$ 。

将上述分位数模型中取分位数  $\tau = 0.5$ , 该模型即为中位数回归, 也称为最小一乘回归, 可以化简为

$$\hat{\beta} = \arg \min \sum_{i=1}^n |Y_i - X_i^T \beta| \quad (6)$$

该中位数回归模型与最小二乘回归模型相比, 将最小化残差平方和变为最小化残差的绝对值之和, 减少较大误差对目标函数的影响, 得到的结果  $\hat{\beta}$  更加稳健, 不容易受到较大误差项、异常值的影响, 因此结果更加可靠。对  $\hat{\beta}$  的求解, 同样可以使用单纯形法进行数值求解<sup>[12]</sup>。

## 1.2 周跳检测模型

本文使用中位数回归进行位置解算和载波误差估计:

$$\psi = G\alpha + \varepsilon \quad (7)$$

其中  $\psi$  为载波观测量,  $G$  为定位所用的观测方程,  $\alpha$  为待解算的接收机位置坐标,  $\varepsilon$  为包含周跳的载波误差。

根据 (6), 使用单纯形法求解, 可以得到  $\hat{\alpha}$ , 以及  $\hat{\alpha}$  的近似方差 (4) 和残差  $\hat{\varepsilon} = \psi - G\hat{\alpha}$ 。

当载波残差的绝对值大于半个波长时, 可以认为该卫星发生了周跳, 对该卫星的载波残差除以对应波长后四舍五入, 进行周跳值的修正。依次判断所有卫星, 将所有发生周跳的卫星均予以修正。周跳检测、修复及定位的步骤如下:

(1) 对定位方程进行最小一乘回归, 得到稳健的定位结果及载波误差, 将误差除以对应波长后四舍五入作为周跳的可能值, 进行修复后, 得到新的观测方程。

(2) 对修复周跳后的观测方程进行最小二乘回归, 并得到回归系数 (即定位结果) 的协方差矩阵, 用于判断定位结果的精度, 如果小于参考阈值, 则定位结果是可靠的, 此时接受步骤 (1) 中的周跳修复, 否则认为步骤 (1) 中的周跳修复失败。

$\hat{\alpha}$  的近似标准差也就是接收机位置的误差, 其阈值一般可以通过长期观测实验得到, 当  $\hat{\alpha}$  的近似标准差小于我们设定的门限时, 即认为解算位置和周跳修复的值是可靠的。

## 2 实验分析

本文使用实测数据进行实验, 并在数据中随机选择多个卫星加入周跳, 分析定位结果的误差大小和周跳整数是否准确。

### 2.1 实验设计

我们采集 2019 年 8 月 6 日的实测数据进行实验, 数据采样间隔为 1 秒, 两根天线位于北京某建筑物楼顶, 天线相对距离为 1.29 米, 采用事后静态 RTK 处理得到的坐标作为参考值, 截取了 700 个历元, 采用高度角大于 5 度的卫星, 使用 GPS L1 和 BDS B1 双系统进行单频联合定位并计算实时周跳, 卫星数量 19 颗。由于采用 GPS+BDS 的 RTK 双差载波进行定位, 总卫星数有 19 个, 双差后载波定位方程只有 17 个, 这里仅对这 17 个观测值中随机加入周跳。

本文使用 bootstrap 的方法, 进行 1000 次重复实验, 每次在全部观测数据中随机选择一个历元加入周跳, 在所有卫星中按等概率随机选择一个, 对该卫星的载波观测值加入正负 10 周以内的跳变, 跳变整周数从 -10 到 10 这 20 个整数中按等概率随机选择, 对加入周跳之后的载波观测方程进行定位解算, 并使用 1.2 中的方法进行周跳检测和修复, 对结果进行分析。然后, 依次将上述实验中随机加入周跳的卫星个数 (记为  $m$ ) 增加为 2 个至 17 个, 其他条件同上, 再次重复以上实验。

为进一步验证和比较本方法的效果, 本文选择了一种基于载波的高阶时序差分方法<sup>[4]</sup>, 对各卫星载波

实行三阶差分和二阶多项式拟合，本文将最小一乘回归方法（记为 MR）与基于载波的高阶时序差分方法（记为 TD）做一比较，并在 2.2 中展示。

2.2 实验结果

使用原始实测数据，没有人为加入周跳时，经计算，有两个历元分别有一颗卫星发生周跳，见表 1。

表 1 实测数据中发生周跳的卫星及整周数  
Tab.1 Cycle slips and prn on all epochs

历元	发生周跳的卫星 PRN	周跳整数值
309	2 (BDS B1)	15
417	30 (GPS L1)	6

然后，在观测数据中加入随机的周跳，使用最小一乘法进行周跳检测与修复之后，计算最小二乘定位结果及其协方差矩阵，选择三个方向的定位标准误差均小于 0.02 米的点作为成功定位及周跳修复的点，分析得到的结果，与真实的值做比较，判断成功率。

表 2 为使用 2.2 中最小一乘法进行周跳检测及修复后的成功率结果，其中周跳检测成功率定义为对历元内所有卫星是否发生周跳均判断成功的概率，周跳修复成功率定义为对历元内所有发生周跳的卫星均准确修复的概率，定位成功率为最小二乘定位标准误差估计值小于给定阈值的次数占全部试验次数的比值。

从表 2 中可以看出，对于任何的  $m$ ，周跳检测成功率略高于周跳检测修复成功率，这是因为成功修复的前提是成功检测到全部卫星的周跳，而表 2 中不管  $m$  多大，两者差距均小于 0.5%，说明使用最小一乘法进行周跳检测时，只要正确检测出发生周跳的全部卫星，那么基本都能全部成功修复。

表 2 还列出了不同  $m$  下的定位成功率，可以看出定位成功率基本等于周跳成功修复率，说明最小二乘对周跳比较敏感，当周跳修复失败时，定位结果的误差较大进而导致定位失败。我们选择三个方向的最小二乘定位标准误差估计值均小于 0.02 米的点作为成功定位的点，仅计算成功定位的点的实际精度。从表 3 可以看出，实际每个方向定位结果的精度在 5 毫米以内，说明我们设定的阈值 0.02 米是比较宽松的，不会对定位成功率有人为影响。表 3 中列出的是各个

$m$  下的定位成功率及实际精度，这里的标准误差定义为定位结果与参考值之间的均方误差，用来表示定位结果的精度。可以看出，不同的  $m$  下，定位精度差别不大，这是因为只要成功修复了周跳，就能成功定位，参与定位卫星总数不会减少，因此定位误差不随  $m$  而变化，只有定位成功率随  $m$  增加而降低。

从表 2 中还可以看出，随着  $m$  的增加，周跳修复成功率降低，降低的速度先慢后快，当  $m$  小于等于 7 时，成功率 90% 以上，当  $m$  大于等于 8 时， $m$  每增加 1，成功率降低 10% 以上， $m$  大于等于 13 时，成功率小于 5%。可以看出，最小一乘法对周跳不敏感，当未发生周跳的卫星数大于实际卫星的一半时，大概率都能得到可靠的定位结果及残差，当发生周跳的卫星数超过一半时，由于干扰太多，解算的成功率降低。

表 4 比较了两种方法（MR 和 TD）下的周跳修复成功率，图 1 为该数据的图形展示，可以看出，在  $m$  小于等于 8 时，MR 的成功率优于 TD，当  $m$  大于 8 时，TD 的成功率优于 MR。这是因为最小一乘方法利用了全部观测量信息，当出现周跳的卫星数小于全部卫星的一半时，最小一乘法能够利用足够的信息，得到稳健的定位结果，进而估计出可靠的定位残差。而当发生周跳的卫星数较多的时候，由于 TD 法仅对每一颗卫星单独计算周跳，不会受到其他卫星的影响，因此能够有较好的成功率。

表 2 不同的周跳卫星个数  $m$  下的修复成功率（最小一乘法）  
Tab.2 Success rates on different numbers of satellites which had cycle slips (method: MR)

$m$	周跳检测成功率	周跳修复成功率	定位成功率	平均定位误差（米）
1	1	1	1	0.0037
2	1	1	1	0.0037
3	1	1	1	0.0038
4	0.9986	0.9986	0.9986	0.0037
5	0.9871	0.9871	0.9871	0.0038
6	0.9643	0.9643	0.9643	0.0039
7	0.9043	0.9014	0.9014	0.0039
8	0.7971	0.7929	0.7929	0.0040
9	0.5900	0.5886	0.5886	0.0040
10	0.4271	0.4271	0.4271	0.0040
11	0.2700	0.2671	0.2671	0.0043
12	0.1543	0.1543	0.1543	0.0036



13	0.0543	0.0529	0.0529	0.0042
14	0.0129	0.0129	0.0129	0.0039
15	0	0	0	—
16	0	0	0	—
17	0	0	0	—

表 3 不同的周跳卫星个数  $m$  下的定位结果及误差分析  
Tab.3 Positioning results and their standard errors based on different numbers of cycle slips

$m$	定位成功率	标准误差 X	标准误差 Y	标准误差 Z	平均定位误差 (米)
1	1	0.0024	0.0037	0.0049	0.0037
2	1	0.0025	0.0038	0.0049	0.0037
3	1	0.0026	0.0039	0.0049	0.0038
4	0.9986	0.0024	0.0037	0.0049	0.0037
5	0.9871	0.0024	0.0039	0.0051	0.0038
6	0.9643	0.0025	0.0040	0.0053	0.0039
7	0.9014	0.0025	0.0039	0.0052	0.0039
8	0.7929	0.0026	0.0040	0.0052	0.0040
9	0.5886	0.0026	0.0041	0.0054	0.0040
10	0.4271	0.0026	0.0040	0.0052	0.0040
11	0.2671	0.0026	0.0044	0.0059	0.0043
12	0.1543	0.0023	0.0038	0.0048	0.0036
13	0.0529	0.0027	0.0043	0.0056	0.0042
14	0.0129	0.0020	0.0039	0.0057	0.0039
15	0	—	—	—	—
16	0	—	—	—	—
17	0	—	—	—	—

表 4 不同方法下不同的周跳卫星个数  $m$  下的修复成功率比较  
Tab.4 Success rates on different numbers of satellites which had cycle slips

$m$	周跳修复成功率 (MR)	周跳修复成功率 (TD)
1	1	1
2	1	1
3	1	1
4	0.9986	0.9986
5	0.9871	0.9871
6	0.9643	0.9643
7	0.9043	0.9014
8	0.7971	0.7929
9	0.5900	0.5886
10	0.4271	0.4271
11	0.2700	0.2671

12	0.1543	0.1543
13	0.0543	0.0529
14	0.0129	0.0129
15	0	0
16	0	0
17	0	0

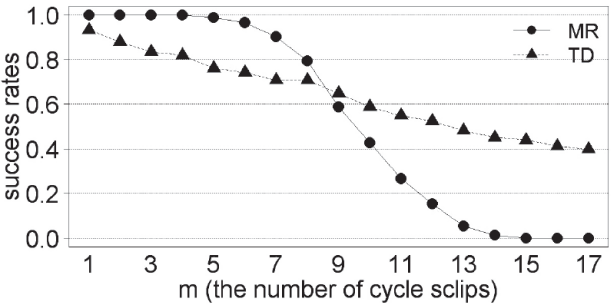


图 1 比较两种方法 (MR 和 TD) 的修复成功率  
Fig.1 The comparison of two methods on successful rates

### 3 结论

针对低成本单频接收机, 本文提出一种可以适合于任何运动状态的快速周跳检测与修复方法。该算法使用中位数回归这一稳健回归方法, 得到稳健的定位结果和载波定位残差, 进而检测和修复周跳。该方法计算量小, 运算速度快, 且实验显示该算法对一半以内卫星发生周跳时均有较好的检测成功率。从模型原理上看, 该方法不但能够用于单频接收机, 还可以用于双频接收机, 不但可以用于周跳检测, 还能用于接收机自主正直性检验, 在室内定位、伪距定位、多源信息融合定位等场景中均可以使用, 具有较广的应用范围。

### 参考文献 (References)

[1] FAROOQ S Z, YANG D, et al. Survey of cycle slip detection & correction techniques for single frequency receivers [C]//IEEE 18th International Conference on Communication Technology (ICCT), 2018: 957–961.

[2] 喻家碧, 孙伟, 伍岳. 不同采样率下 GPS 非差相位观测值的周跳探测及修复效果比较 [J]. 地理空间信息, 2005, 3(2): 25–29.

YU J B, SUN W, WU Y. Cycle-slip detection and

- repair of GPS non-difference phase observation in different time ratio [J]. Geospatial Information, 2005, 3(2): 25–29 (in Chinese) .
- [3] ZANGENEH N F, AMIRI A R, SHARIFI M A, et al. Cycle slip detection and repair of undifferenced single-frequency GPS carrier phase observations [J]. GPS Solut, 2017, 21(4): 1593–1603.
- [4] HOFMANN W B, LICHTENEGGER H, WASLE E. GNSS global navigation satellite systems—GPS, GLONASS, Galileo and more [M]. New York, Springer, 2008.
- [5] KIRKKO J M, TRAUGOTT J, ODIJK D, COLLIN J, SACHS G, HOLZAPFEL F. A RAIM approach to GNSS outlier and cycle slip detection using L1 carrier phase time-differences [J]. IEEE workshop on Signal Processing Systems, 2009: 273–278.
- [6] BANVILLE S, LANGLEY R B. Cycle-Slip correction for single-frequency PPP [C]//ION GNSS, 2012: 3753–3761.
- [7] FUJITA S, SAITO S, YOSHIHARA T. Cycle slip detection and correction methods with time-differenced model for single frequency GNSS applications [J]. Transactions of the Institute of Systems, Control and Information Engineers, 2013, 26 (1): 8–15.
- [8] RAPPOPORT L B. Compressive sensing approach for the cycle slips detection, isolation, and correction [C]//Proc. 27th International Technical Meeting of ION Satellite Division (ION GNSS 2014), 2014: 2602–2610.
- [9] QIAN C, LIU H, ZHANG M, SHU B, XU L, ZHANG R. A geometry-based cycle slip detection and repair method with time-differenced carrier phase (TDCP) for a Single frequency global position system (GPS) + BeiDou navigation satellite system (BDS) receiver. Sensors, 2016, 16 (12) : 2064.
- [10] KOENKER R. Quantile regression [M]. Cambridge University Press, 2005.
- [11] KOENKER R, BASSETT G. Regression quantiles [J]. Econometrica, 1978, 46: 33–50.
- [12] KOENKER R, OREY V. Computing Regression Quantiles [J]. Applied Statistics, 1987: 383–393.

**作者简介：**

由立华 (1984—)，女，黑龙江哈尔滨人，硕士，工程师，概率论与数理统计专业，目前研究方向为高精度导航定位、RAIM等。

# 一种基于 65nm 工艺低开销抗辐射加固锁存器设计

齐春华, 霍明学, 王天琦

(哈尔滨工业大学, 黑龙江 哈尔滨 150001)

**摘要:** 随着工艺尺寸的不断缩减, 栅电容以及存放在敏感节点的电荷不断减小, 这使得 CMOS (Complementary Metal-Oxide-Semiconductor Transistor) 集成电路更容易遭受辐射所引发的软错误的影响。本文提出了一种低开销抗单粒子翻转加固锁存器 (Low cost radiation hardened latch, LCRH latch), 并在 65nm 商用工艺下进行了实现。该锁存器不仅能够完全消除内部任意单一节点翻转对电路的影响, 还能够一定程度上屏蔽来自输入端的 SET (Single Event Transient) 瞬态脉冲。版图后仿真验证结果表明, 在第四类锁存器中, 本文提出的锁存器至少降低了 39% 的功耗和 67.6% 的功耗延迟积开销, 此外该结构还具有低面积开销和抗多节点翻转的特点。

**关键词:** 单粒子瞬态; 单粒子瞬态翻转; 单粒子多节点翻转; 锁存器加固

中图分类号: TN492

文献标识码: A

## Low Cost Radiation Hardened Latch Design in 65 nm CMOS Technology

Qi Chunhua, Huo Mingxue, Wang Tianqi

(Harbin Institute of Technology, Harbin, 150001, China)

**Abstract:** As a consequence of technology scaling down, gate capacitances and stored charge in sensitive nodes are decreasing rapidly, which makes CMOS circuits more vulnerable to radiation induced soft errors. In this paper, a low cost radiation hardened latch is proposed at 65nm CMOS commercial technology. The proposed latch can fully tolerate the single event upset (SEU) when particles strike on any one of its single node. Furthermore, it can efficiently mask the input single event transient (SET). A set of HSPICE post-simulations are done to evaluate the proposed latch circuit and previous latch circuits designed in the literatures, and the comparison results among the latches of type 4 show that the proposed latch reduces at least 39% power consumption and 67.6% power delay product. Moreover, the proposed latch has a second lowest area and a comparable ability of the single event multiple upset (SEMU) tolerance among the latches of type 4.

**Key words:** single event transient (SET); single event upset (SEU); single even multiple upsets (SEMU); radiation hardened latch

## 0 引言

随着工艺尺寸的缩减, 集成电路对辐射环境变得越来越敏感, 集成电路在辐射环境中的稳定性问题越来越受到设计者的关注<sup>[1]</sup>。辐射环境中的辐射粒子入射到集成电路内部后, 会在其入射的径迹周围电离出大量电子和空穴对, 集成电路中临近的各个敏感节点会不断的吸收这些电荷, 并在相应的节点上产生扰动, 这一现象被称作单粒子瞬态效应 (Single Event Transient, SET), 电荷在收集的过程中是具有方向性的, 电子总是从 P 型掺杂一侧流向 N 型掺杂的一侧<sup>[2,3]</sup>, 这也就意味着如果锁存器的一个内部节点

完全是由 PMOS 晶体管组成的, 那么该节点只能发生从 0 到 1 的翻转, 反之, 若仅由 NMOS 组成则只能发生从 1 到 0 的翻转<sup>[4]</sup>。一次 SET 事件在向下传播的过程中将有一定的几率被 SRAM 或 latch 等存储电路所俘获, 从而导致存储电路锁存了错误的值; 存储电路内部节点在单粒子效应下引起的瞬态翻转也会导致存储器的翻转, 这种翻转被称作单粒子翻转 (Single Event Upset, SEU)。SRAM 存储器在集成电路上的位置相对集中, 所以 SRAM 的单粒子翻转可以用错误纠正码来消除<sup>[5-9]</sup>; 然而锁存器分布在集成电路版图布局的各个角落, 因此不能用错误纠正

码来加以消除<sup>[10]</sup>。

随着锁存器加固设计的不断发展,在一个锁存器加固设计中已经不仅限于单纯地应用设计冗余加固或时间冗余加固,而往往是同时应用这两种加固技术,因此对抗单粒子加固锁存器按照加固技术进行分类已不能清晰地展现锁存器的研究现状。为了便于比较加固后各锁存器的抗辐射能力,本文按照各锁存器加固后的容错能力进行分类,下面分别对每一类抗辐射加固锁存器进行详细介绍。

第一类抗单粒子翻转加固锁存器与传统的锁存器相比具有较高的抗单粒子翻转能力,但是它们并不能实现对单粒子翻转的完全免疫。换句话说,这些锁存器至少存在一个相对脆弱的内部存储节点,当这些节点受到高能粒子轰击时,锁存器单元将发生翻转,文献[11]、[12]中的锁存器,就是这类锁存器的代表。第二类抗单粒子翻转加固锁存器能够完全抵抗单粒子翻转效应,但是不具备滤除输入 SET 的能力,并且如果这类锁存器内部的某些节点受到粒子轰击发生单粒子翻转,锁存器的输出端将被置于高阻的状态,文献[13]–[15]中提出的锁存器结构为该锁存器。第三类抗单粒子翻转加固锁存器能够完全免疫在其内部节点上发生的单粒子翻转效应,并且在其内部节点发生单粒子翻转效应时输出节点也不会处于高阻状态,但这类锁存器不能有效地滤除输入 SET,文献[14]、[16]、[17]中提出的锁存器属于该类。第四类抗单粒子翻转加固锁存器不仅能够抵抗单粒子效应引起的单节点翻转,还能够对输入端的 SET 具有一定的滤除能力,并且在锁存器的内部节点发生翻转时,输出节点 Q 也不会进入高阻状态,文献[17]、[18]为这类锁存器的代表。

本文将提出一种低功耗抗单粒子翻转第四类锁存器 (Low cost radiation hardened latch, LCRH latch), 并在 65nm 商用工艺上实现。通过后续的仿真对比可知,本文所提出的锁存器在功耗, D 到 Q 延迟, 面积, 抗多节点翻转能力和功耗延迟积等方面都有着优异的表现。

## 1 本文提出的锁存器结构

图 1 就是本文所提出的锁存器结构的示意图,可

知所提出的 LCRH 锁存器的输入信号 D 通过传输门 TG1、TG2 和 TG3 被分成三路信号, 其中的两路信号通过 Part1 和 Part2 单元, 最终连接到钟控 C 单元的两个输入端; 而第三路信号则通过 Part3 单元, 最终连接到 LCRH 锁存器的输出端 Q。LCRH 锁存器中的 Part1 和 Part2 部分形成了典型的双模冗余结构, 而钟控 C 单元则相当于多数表决器。在正常情况下 Part1 和 Part2 两部分电路存储的逻辑值相同, 节点 Q 通过 C 单元进行输出; 一旦 Part1 或 Part2 部分受到粒子轰击并导致逻辑状态翻转, 则 Part1 和 Part2 部分电路将存储不同的逻辑值, 此时 C 单元的输出端将进入高阻状态, 但输出节点 Q 仍将保持原来的存储状态而不受这一翻转的影响。然而, 高阻状态下的输出节点 Q 在漏电或其他因素的扰动下极易导致数据的丢失, 因此在设计电路时, 应尽量避免节点高阻状态的出现。LCRH 锁存器中 Part3 部分电路的设计就是为了防止 C 单元的输出节点 Q 在 Part1 和 Part2 存储逻辑值不同时进入高阻状态。另外, Part3 部分电路中的施密特反相器不仅可以增大节点电容, 增强节点 Q 的抗翻转能力, 还可以对输入 SET 起到一定的滤除作用。

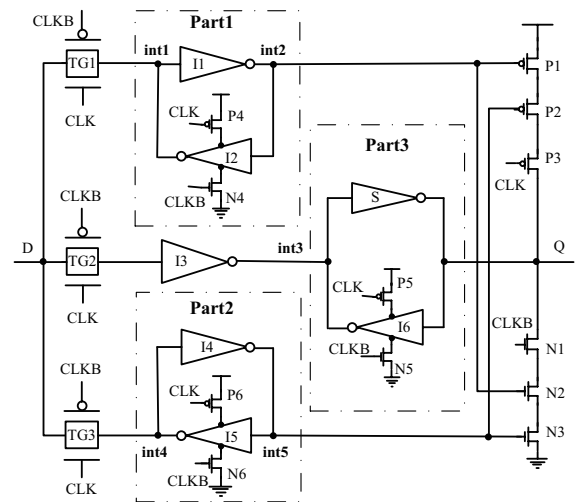


图 1 本文提出的锁存器结构

Fig.1 Proposed latch in this work

图 2 为本文所设计的抗单粒子翻转加固 LCRH 锁存器在商用 65nm 工艺下的版图实现, 经过测量可知, 其占用的面积为  $3.445\mu\text{m} \times 3.24\mu\text{m}$ 。



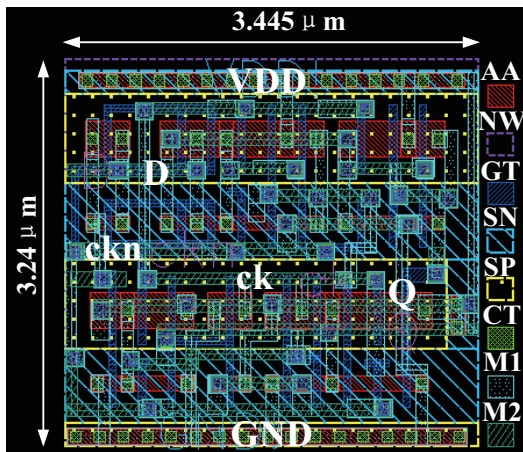


图2 锁存器版图

Fig.2 Layout of the proposed latch

### 1.1 传输和保持数据功能分析

为了保证所提出的 LCRH 锁存器具备锁存器数据传输和保持的基本功能, 这里对 LCRH 锁存器传输和保持数据的基本操作进行分析和讨论:

(1) 当时钟信号 CLK 为高电平时, 传输门 TG1、TG2 和 TG3 开启, 锁存器工作在传输模式 (Transparent mode)。钟控反相器 I2、I5 和 I6 以及钟控 C 单元在时钟信号 CLK 的作用下停止工作, 此时锁存器中的所有反馈环路全部断开, 内部节点 int1 和 int4 将在 D 信号的作用下通过传输门 TG1 和 TG3 被赋值, 同样地, D 信号通过传输门 TG2 和反相器 I3 对内部节点 int3 进行赋值, int3 驱动施密特反相器 S, 从而将输入数据传递到锁存器的输出端 Q。从上面的分析可知, LCRH 锁存器可以完成正确的数据传输操作, 而且在此过程中施密特反相器将对输入信号中包含的 SET 起到一定的滤除作用, 其滤除 SET 的最大脉冲宽度与施密特反相器密切相关 (LCRH 锁存器滤除 SET 脉宽的大小将在后续量化给出)。

(2) 当时钟信号 CLK 为低电平时, 传输门 TG1、TG2 和 TG3 关闭, 钟控反相器 I2、I5 和 I6 及钟控 C 单元工作, 电路中所有的反馈回路开始正常工作, LCRH 锁存器工作在保持模式 (Hold mode)。此时由于传输门 TG2 关闭, Part3 单元电

路与锁存器的输入端分离, 而仅仅与输出节点 Q 相连, 这一设计确保了锁存器的输出节点 Q 不会在 LCRH 锁存器内部节点发生翻转时进入高阻态。

由上述分析可知, LCRH 锁存器能够正确地完成数据的传输和保持操作, 并且在此过程中 LCRH 锁存器中的 Part3 单元电路实现了模块复用, 即 LCRH 锁存器中的 Part3 部分电路不仅可以在传输模式下滤除输入 SET, 还可以在保持模式下阻止输出端 Q 进入高阻态。Part3 部分电路的巧妙复用有效地减小了电路的规模, 节约了锁存器的面积。

### 1.2 抗单粒子翻转功能分析

接下来详细的分析 LCRH 锁存器在保持模式下的单粒子翻转机制:

(1) 如果 LCRH 锁存器电路的内部节点 int1 (或 int2) 受到粒子轰击并发生节点翻转, 则分析 Part1 单元各晶体管的开关状态变化情况可知, 在正反馈回路的作用下, Part1 单元存储的信息将最终发生翻转。然而, 由于 Part2 和 Part3 单元没有受到单粒子翻转的影响, 因此 Part2 和 Part3 单元仍然保持原来的逻辑状态。在钟控 C 单元的屏蔽作用下, 发生在节点 int1 (或 int2) 上的这一翻转并不会传递到输出端, 更不会对 LCRH 锁存器输出端 Q 的存储状态造成影响。在 Part3 单元的保护下, 输出节点 Q 也不会因 C 单元两个输入值的不同而处于高阻状态。

(2) 如果 LCRH 锁存器电路的内部节点 int4 (或 int5) 受到粒子轰击并发生节点翻转, 通过与情况 (1) 类似分析方法可知, 锁存器的输出节点 Q 在 Part1 单元的帮助下不会受到影响, 并且在 Part3 单元的帮助下, 输出节点 Q 也不会进入高阻状态。

(3) 如果 LCRH 锁存器内部节点 int3 受到粒子轰击并发生单粒子翻转, 则由于施密特反相器 (S) 的存在, 只有当节点 int3 上产生的脉冲宽度大于施密特反相器的最大 SET 滤除宽度时才会对输出节点 Q 产生影响。即使节点 int3 的翻转引发了输出节点 Q 的翻转, 输出节点 Q 最终也将在未受影响的 Part1 和 Part2 单元的帮助下重新恢复回原来的存储状态。类似地, 如果 LCRH 锁存器的输出节点 Q 受到单粒子

轰击并且发生翻转，由于 Part1 和 Part2 单元存储的逻辑值没有受到影响，因此在钟控 C 单元的作用下输出节点 Q 同样能恢复回原来的存储状态。

通过上面的分析易知，本文所提出的 LCRH 锁存器能够抵抗单粒子单节点翻转并且在发生单粒子翻转时不会导致输出节点进入高阻状态。

## 2 仿真结果分析

本部分的所有仿真都是在 65nm 商用工艺，1.2V 电源电压，室温下进行的。为了对比的公平性，所有的锁存器均采用最小面积的方案进行设计，即采用 P 管和 N 管所能保证锁存器正常工作的最小尺寸。此外，根据文献 [11] 以及电子和空穴对的迁移率特性，除 DICE 锁存器外，我们将 P 管和 N 管的最小尺寸分别设为 300nm/60nm 和 120nm/60nm。这里我们指定文献 [17] 中的延迟单元采用一个反相器和一个施密特触发器串联的形式实现，如图 3 所示。

为了验证并量化所提 LCRH 锁存器滤除输入 SET 的能力，此处采用窄脉冲输入信号对 LCRH 锁存器滤除 SET 的能力进行了仿真。仿真时对窄脉冲信号的宽度进行扫描，从而实现了对 LCRH 锁存器能够滤除输入 SET 最大宽度的量化。图 4 为滤除输入 SET 的仿真结果，可以看出本文所提出的抗单粒子翻转加固 LCRH 锁存器具备输入 SET 滤除能力，并且其所能滤除 SET 脉冲宽度的最大值为 77.5ps。

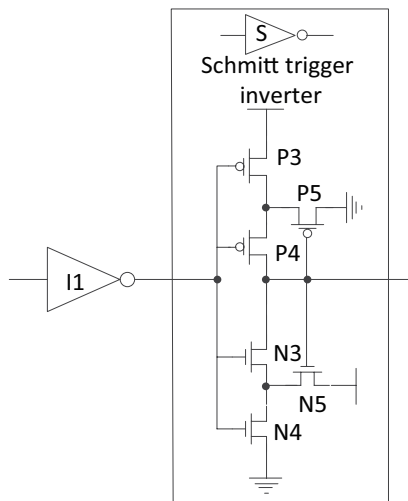


图 3 采用的延迟单元内部结构

Fig.3 The structure of delay unit used in this work

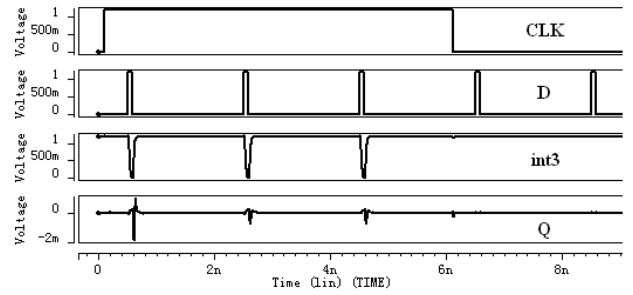


图 4 滤除能力仿真

Fig.4 SET filtering capability of the proposed latch

接下来利用双指数电流源模拟单粒子瞬态电流，双指数电流源最早在文献 [19] 中被提出，尽管它不能准确的仿真单粒子事件的物理过程，但在进行对比仿真时，研究人员仍然愿意采用这一模型。双指数电流源的表达形式如下：

$$I(t) = I_0 \left( e^{-\frac{t}{\tau_a}} - e^{-\frac{t}{\tau_b}} \right) \quad (1)$$

其中  $\tau_a$  是扩散时间， $\tau_b$  是建立时间，这两个常数通常是与工艺相关的。由文献 [20]–[26] 可知，它们通常选取为 164ps 和 50ps，因此本文也采用这一参数。

如图 5、6 和 7 所示为 LCRH 锁存器内部节点发生单粒子翻转时各主要节点的电压瞬态仿真结果。从图中可以看出，LCRH 锁存器在内部及输出节点发生单粒子翻转时，没有导致输出节点的永久性翻转，即 LCRH 锁存器达到了抗单粒子翻转的设计目的。

随着集成电路的尺寸进入纳米时代，集成电路的密度不断提高，此时单一粒子打击到器件上，会导致多个敏感节点同时收集电荷，进而会导致存储单元发生多节点翻转。因此本文对所提出锁存器的抗多节点翻转的能力进行了考查，并绘制出如图 8 所示的关键电荷对关系的曲线，该曲线的含义为只要节点对收集到的电荷对在图 8 中相应曲线的下方，则该次单粒子事件不会导致锁存器的翻转。也就是说曲线下面积的大小，代表其抗多节点翻转的能力，面积越大，抗翻转能力越强。从图中可以看出本文提出锁存器的抗多节点能力要好于 EVFERST 锁存器，差于 LESH1 锁存器，且与 LESH2 锁存器相当。

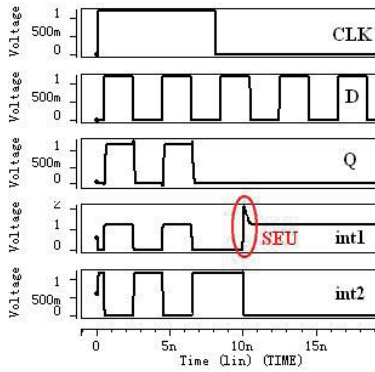


图5 SET注入到int1节点  
Fig.5 SEU injection to node int1

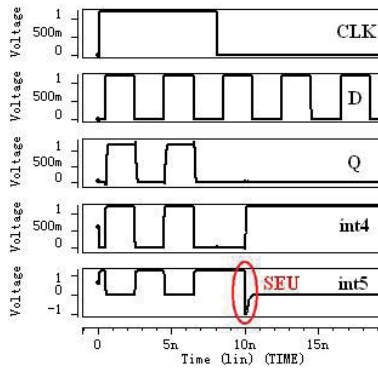


图6 SET注入到int5节点  
Fig.6 SEU injection to node int5

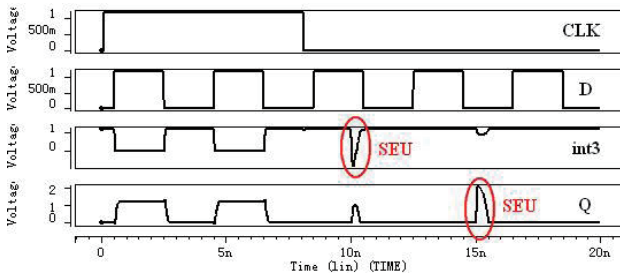


图7 SET注入到int3和Q节点  
Fig.7 SET injection to node int3 and Q

表1给出了所提出的锁存器与其他锁存器在面积、延迟、功耗和功耗延迟积等方面的仿真结果。从表1中可以看出,所提结构的功耗从上到下依次是其他锁存器功耗的355.50%, 70.13%, 48.45%, 85.87%, 136.02%, 133.49%, 32%, 60.98%和33.16%。而在65nm工艺实现下,本文所提出结构的面积要大于第四类锁存器中的LSEH2锁存器。然而

LSEH2锁存器在其他性能方面均不如本文提出的结构。

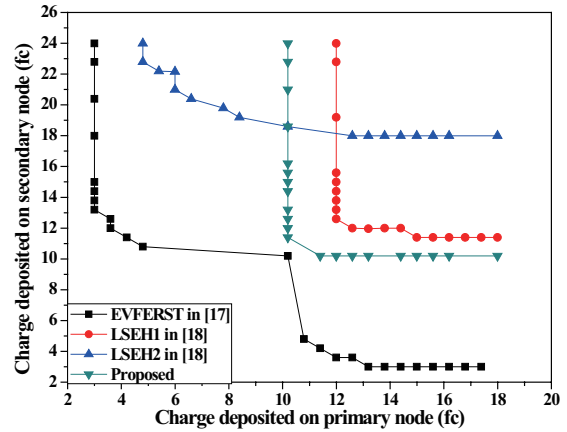


图8 关键电荷对仿真结果  
Fig.8 Critical charge plot of the critical pair

在功耗延迟积方面,表1中所对比的锁存器有些对输入的SET具有滤除能力,有些锁存器则不具备此能力,因此将功耗和延迟直接相乘不能准确的反应不同类型锁存器之间的功耗延迟积的优劣。在这里,我们采用文献[18]所提出的功耗延迟积的计算方法:

$$PDP = P_{wr}(TD - TP) \quad (2)$$

其中 $P_{wr}$ 为总的功耗,  $(TD - TP)$ 代表绝对延迟,  $TD$ 代表D-Q延迟,  $TP$ 代表最大滤除SET的能力。由表1可知,本文提出的锁存器最具第三小的功耗延迟积,即所提出的锁存器结构的功耗延迟积从上到下依次分别占其他锁存器的201.17%, 39.84%, 31.69%, 90.48%, 304.14%, 197.35%, 12.06%, 32.44%和16.08%。

锁存器滤除输入SET的能力与锁存器D-Q延迟之间存在设计折中,即锁存器滤除输入SET的能力越强,D-Q延迟越大。因此简单的比较锁存器对输入SET脉冲的最大滤除能力或锁存器D-Q传播延迟也是不公平的。为了公平的比较各锁存器的最大SET滤除能力,本章采用滤除最大输入SET脉宽的值与D-Q延迟的比值来评价锁存器对输入SET的滤除能力(The ability of SET filtering, AOSF),其数学表达式如下:

$$AOSF = T_p / T_D \times 100\% \quad (3)$$



表 1 仿真结果对比  
Tab.1 Comparison of simulation results

latch	Power ( $\mu$ W)	D-Q delay (ps)	PDP (j)	Max. width of filtered SET (ps)	Area ( $\mu\text{m}^2$ )	SET filtering?	Fully SEU immune?	AOFS (%)	Type
Ref. latch	0.564	48.6	2.741E-17	—	3.854	No	No	—	—
Design in [11]	2.859	328.4	1.384E-16	280	9.921	Yes	No	85.3	type1
Design in [12]	4.138	130.1	1.740E-16	88	13.013	Yes	No	67.7	type1
Design in [13]	2.335	26.1	6.094E-17	—	11.734	No	Yes	—	type3
HLR-CG1 in [14]	1.474	12.3	1.813E-17	—	6.944	No	Yes	—	type3
Design in [16]	1.502	18.6	2.794E-17	—	6.193	No	Yes	—	type3
EVFERST in [17]	6.265	325.5	4.573E-16	252.5	14.323	Yes	Yes	77.6	type4
LSEH1 in [18]	3.288	198.7	1.700E-16	147	11.541	Yes	Yes	74.0	type4
LSEH2 in [18]	6.047	189.2	3.429E-16	132.5	10.222	Yes	Yes	70.1	type4
Proposed	2.005	105.0	5.514E-17	77.5	11.162	Yes	Yes	73.8	type4

基于这一评价标准,较大的 AOSF 意味着更好的 SET 滤除能力。从表 1 中的结果可以看出,所提出的 LCRH 锁存器滤除输入 SET 的能力与其他第四类锁存器的滤除能力基本一致。

### 3 结论

本文利用设计冗余加固技术,通过合理的电路结构设计,提出了一种低功耗抗单粒子翻转加固锁存器——LCRH 锁存器。LCRH 锁存器能够完全抵抗单粒子单节点引起的翻转,并且对多节点翻转具有一定的抵抗作用,此外,还能够滤除输入 SET 以及避免在其内部节点发生 SEU 时输出节点处于高阻状态。所设计的 LCRH 锁存器为第四类抗单粒子翻转加固锁存器,通过第四类锁存器间的对比可知,所提出的 LCRH 锁存器至少降低了 39% 的功耗和 67.7% 的功耗延迟积。

### 参考文献 (References)

- [1] IBEET E, TANIGUCHI H, YAHAGI Y. Impact of scaling on neutron induced soft error in SRAMs from an 250 nm to a 22 nm design rule [J]. IEEE Trans Electron Devices 2010; 57(7): 1527–1538.
- [2] GARG R, KHATRI S P. A novel, highly SEU tolerant digital circuit design approach[C] // In: IEEE International Conference on Computer Design (ICCD2008), Lake Tahoe, CA, USA, 2008: 14–20.
- [3] DODD P E, MASSENGILL L W. Basic mechanisms and modeling of single-event upset in digital microelectronics [J]. IEEE Trans Nucl Sci. 2003; 50(3): 583–602.
- [4] LEE H, LILJA K, BOUNASSER M, et al. LEAP: Layout Design through Error-Aware Transistor Positioning for soft-error resilient sequential cell design[C] // In: 2010 IEEE International Reliability Physics Symposium (IRPS2010), Anaheim, CA, USA, 2010: 203–212.
- [5] ARGYRIDES C A, REVIRIEGO P, PRADHAN D K. Matrix-based codes for adjacent error correction [J]. IEEE Trans Nucl Sci 2010; 57(4): 2106–2111.
- [6] NEUBERGER G, DE LIMA KASTENSMIDT F G, REIS R. An automatic technique for optimizing Reed-Solomon codes to improve fault tolerance in memories [J]. IEEE Des Test Comput 2005; 22(1): 50–58.
- [7] GUO J, XIAO L Y, MAO Z G. Novel Mixed Codes For Multiple-cell Upset Mitigation in Static RAMs [J]. IEEE Micro 2013; 33(6): 66–74.
- [8] RASTOGI A, AGARAWAL M, GUPTA B. SEU MITIGATION—using 1/3 rate convolution coding [C] // In: 2nd IEEE International Conference on Computer Science and Information Technology (ICCSIT), Beijing, China, 2009: 180–183.
- [9] ZHU M, XIAO L Y, LIU C, ZHANG J W. Reliability

- of memories protected by multibit error correction codes against MBUs [J]. IEEE Trans Nucl Sci 2011; 58(1): 289–295.
- [10] XUAN S X, LI N, AND TONG J. SEU Hardened Flip-Flop Based on Dynamic Logic [J]. IEEE Trans Nuclear Sci 2013; 60(5): 3932–3936.
- [11] SHIRINZADEH S, NIARAKIASLI R. A novel soft error hardened latch design in 90nm CMOS[C] // In: 16th IEEE CSI International Symposium on Computer Architecture and Digital Systems (CADS 2012), Shiraz, Iran, 2012: 60–63.
- [12] NAN H, CHOI K. Novel radiation hardened latch design considering process, voltage and temperature variations for nanoscale CMOS technology [J]. Elsevier Microelectron Reliab 2011; 51: 2086–2092.
- [13] NAN H, CHOI K. Low cost and highly reliable hardened latch design for nanoscale CMOS technology [J]. Elsevier Microelectron Reliab 2012; 52: 1209–1214.
- [14] NAN H, CHOI K. High Performance, Low Cost, and Robust Soft Error Tolerant Latch Designs for Nanoscale CMOS technology [J]. IEEE Trans Circ Syst I: Regular Pap 2012; 59(7): 1445–1457.
- [15] FAZELI M, PATOOGHY A, MIREMADI S G, et al. Feedback Redundancy: A Power Efficient SEU-Tolerant Latch Design for Deep Sub-Micron Technologies[C] // In: 37th Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN'07), Edinburgh, UK ,2007: 276–285.
- [16] RAJAEI R, TABANDEH M, RASHIDIAN B. Single event upset immune latch circuit design using C-element[C] // In: the IEEE ninth International Conference on ASIC (ASICON2011), Xiamen, China, 2011: 252–255.
- [17] FAZELI M, MIREMADI S G, EJLALI A. Low energy single event upset/single event transient-tolerant latch for deep subMicron technologies [J]. IET Computers & Digital Techniques 2009; 3(3): 289–303.
- [18] RAJAEI R, TABANDEH M, FAZELI M. Low cost soft error hardened latch designs for nano-scale CMOS technology in presence of process variation [J]. Elsevier Microelectron Reliab 2013; 53: 912–924.
- [19] MESSENGER G C. Collection of charge on junction nodes from ion tracks [J]. IEEE Trans Nucl Sci 1982; NS-29(6): 2024–2031.
- [20] XUAN S X, LI N, ERSTAD D O, SET Tolerant Dynamic Logic [J], IEEE Trans Nucl Sci 2012; NS-59(2): 434–438.
- [21] XUAN S X, LI N, TONG J, SEU Tolerant Latch Based on Error Detection [J], IEEE Trans Nucl Sci 2012; NS-59(1): 211–213.
- [22] NAMBA K, IKEDA T, ITO H, Construction of SEU Tolerant Flip-Flops Allowing Enhanced Scan Delay Fault Testing [J], IEEE Trans Very Large Scale Integr Syst 2010;18(9): 1265–1276.
- [23] LU Y, LOMBARDI F, PONTARELLI S, OTTAVI M. Design and Analysis of Single-Event Tolerant Slave Latches for Enhanced Scan Delay Testing [J]. IEEE Trans Dev Mater Reliab 2014; 14(1): 333–343.
- [24] GARG R, KHATRI S P, Analysis and Design of Resilient VLSI Circuits Mitigating Soft Errors and Process Variations, Springer, USA, 2009.
- [25] SAYIL S, WANG J, Single-event soft errors in CMOS logic [J]. IEEE Potentials 2012; 31(2): 15–22.
- [26] ZHOU Q, MOHANRAM K, Gate Sizing to Radiation Harden Combinational Logic [J], IEEE Trans Computer-Aided Design of Integrated Circuits and Systems 2006; 25(1): 155–166.



## 作者简介:

齐春华(1985—),男,黑龙江哈尔滨人,博士,助理研究员,长期从事模拟电路以及抗辐射加固集成电路技术研究。

# 抗辐射加固跑道型 MOSFET 等效宽长比研究

吴昱操, 罗萍, 蒋鹏凯, 张波

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

**摘要:** 对抗辐射加固跑道型 MOSFET 器件的等效宽长比进行了一维近似计算, 并利用 Sentaurus TCAD 对计算得到的器件模型进行了仿真验证。同时, 对仿真结果和模型精度与器件参数的关系进行了分析和讨论。从仿真结果来看, 模型的计算精度可达 70% 以上。可以通过增加器件等效宽长比来提升模型精度: 增大漏区半径使得电荷的分布更均匀, 来减小漏区电场对沟道电荷产生的影响; 减小器件的沟道长度, 利于使用一维近似; 增大器件长条形沟道的宽度, 使得两种栅结构连接部分引起的沟道电场不均匀性对总电流的影响更小。

**关键词:** 抗辐射加固; 跑道型; 等效宽长比模型; 一维近似

**中图分类号:** TN386.1 **文献标识码:** A

## Equivalent Aspect Ratio Model of Radiation-hard Race-track MOSFET Layout

Wu Yucao, Luo Ping, Jiang Pengkai, Zhang Bo

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu, 610054, China)

**Abstract:** Purpose of this paper is to systematically derive the equivalent aspect ratio model of radiation-hard race-track MOSFET layout applied for integrated circuit. Method of the process conducted is through one-dimensional approximation. Result verified by Sentaurus TCAD simulation shows that the calculation accuracy can reach more than 70%. Conclusion is achieved according to the discussion of the relationship between the calculation accuracy of the model and the key parameters in the layout, whose reasons are also analyzed. The accuracy of the model is improved at larger radius of circular drain region, lower channel length and longer straight gate extent.

**Key words:** radiation-hard; race-track layout; equivalent aspect ratio model; one-dimensional approximation

## 0 引言

总剂量辐射会导致 MOSFET 发生阈值电压漂移和漏电流增加<sup>[1]</sup>。随着工艺线宽不断缩小, 氧化层厚度逐渐变薄, 由辐射诱发的电荷被栅氧化层俘获的几率降低, 使得集成电路对总剂量辐射效应变得不那么敏感。因此可以考虑在小线宽标准双极型、CMOS 和 DMOS (BCD) 工艺下, 通过版图抗辐射加固设计来提升 MOSFET 的抗总剂量能力<sup>[2]</sup>, 从而避免复杂的工艺过程调整, 也便于抗辐射 MOSFET 的集成。

在集成电路中, 普遍通过使用非直栅器件来进行抗辐射加固。对于数字电路, 一般选用 H 型栅器件, 其尺寸的设置较为灵活。对于模拟集成电路, 一般选

用截角矩形环栅器件, 较大的跨导有利于模拟电路的设计。也有通过使用“华夫饼”结构版图来进行抗辐射加固的<sup>[3]</sup>。

跑道型器件作为高压器件常用的结构经常被用于分立器件设计, 其圆环形终端具有很好的耐压能力<sup>[4,5]</sup>。

从结构上来说, 跑道型器件也属于环栅器件, 因此它天然具有抗总剂量效应的能力<sup>[6,7]</sup>。但是鲜见将跑道型器件应用于抗辐射加固领域, 这是因为作为分立耐压器件时, 器件常常具有很大的尺寸, 工程师并不关心流经器件圆环形部分电流的大小。但是当该结构被应用于模拟电路时, 它的宽长比是灵活多样的。当跑道型器件的宽长比较小时, 其电压-电流关系

需要被准确的计算<sup>[8,9]</sup>。

本文提出了用于模拟集成电路抗辐射加固跑道型器件的等效宽长比模型,研究了模型精确度和器件参数之间的关系。本文第1节对跑道型器件等效宽长比进行建模分析;第2节对跑道型器件等效宽长比模型进行仿真验证和分析;第3节给出结论。

## 1 跑道型器件等效宽长比模型

### 1.1 一维近似等效模型推导

半导体器件的主要大信号电学特性是它的电流-电压关系。对于 MOSFET, 它的电流-电压关系常常由它的宽长比确定。也就是说, 传统直栅器件的关键参数被沟道宽度( $W$ )和沟道长度( $L$ )的比值( $W/L$ )确定。但是对于具有圆环部分的跑道型器件, 它的电流-电压关系不能简单的用  $W/L$  确定。因此, 定义等效宽长比 (Equivalent Aspect Ratio) 作为不规则器件的关键尺寸参数, 它的作用和直栅器件的宽长比相同, 被用来确定环栅器件的电流-电压关系。

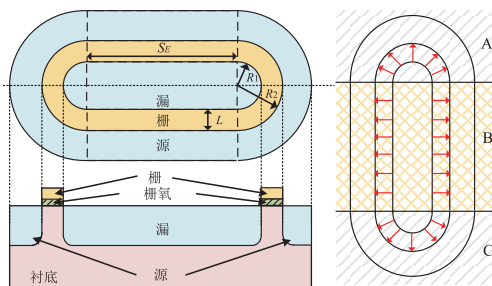


图1 跑道型器件结构

Fig.1 Race-track structure

如图1, 跑道型器件的结构可以拆分为A、B、C三部分。其中A、C是结构完全相同的圆环器件, 它的沟道电流可以通过柱坐标系的电流积分进行计算。B部分的沟道是长条形状, 它的电流计算与传统直栅器件相同。假设不同形状沟道的连结部分形成的电场对总电流的影响很小, 将跑道型器件的电流也拆分成对应的三部分, 再进行叠加计算。

在器件的有源区分布中, 漏区在器件中心, 源区在器件的外围, 栅极夹在源区与漏区的中间。衬底电位可在源极外侧被引出, 源极与衬底接触临近, 使器

件的衬源压降尽量小。同时, 与传统直栅器件不同的是, 跑道型器件的源区面积大于漏区, 这有利于在源区多打接触孔, 使得源极接触的阻抗尽量降低。源极电阻的存在会使器件的跨导降低, 因此源极在器件的外围, 可使该器件结构具有最大的跨导, 适合模拟电路的设计。需要注意的是, 在 MOSFET 的设计时, 常常采用漏极在器件外围, 源极在器件中心的结构。这是因为这种结构可使漏极具有较大的曲率, 使得漏极的电荷分布更均匀, 减小漏极击穿的概率。

### 1.2 长条形沟道宽长比模型

用一维近似模型对器件的等效宽长比进行推导。一维近似模型要求器件的栅压大于 MOS 器件的阈值电压, 反型载流子形成沟道。同时, 要求器件的漏电压与源电压相近, 器件沟道并未被夹断, 沟道内载流子分布均匀。沟道电流全由漂移电流组成, 扩散电流忽略不考虑。

以 NMOS 器件为例。如图2所示, 长条形部分为双沟道结构, 对沟道1 (Channel1) 进行建模。在  $x$ - $y$ - $z$  坐标系中, 沟道1 的长度为  $L$ , 宽度 (Straight Channel Extent) 用  $S_E$  来表示。沟道深度与在  $y$  轴的位置有关, 用  $b(y)$  来表示。由于一维近似, 假设栅压为  $V_G$ ,  $b(y)$  在  $y$  轴上的变化非常小。漏压与源压分别是  $V_D$  与  $V_S$ , 两电压相近且沟道不发生夹断。

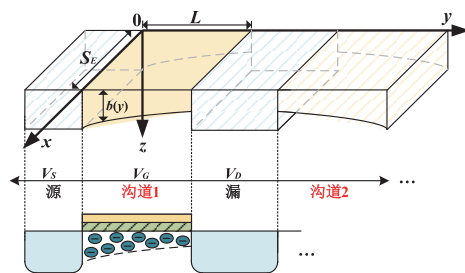


图2 长条形沟道结构

Fig.2 Straight channel structure

沟道内的漂移电流密度可以被表述成式(1)。

$$J(y) = -q\mu_n n E_y = q\mu_n n (dV / dy) \quad (1)$$

其中,  $q$  表示电子的电荷量,  $\mu_n$  是电子的迁移率,  $n$  是电子的电荷密度,  $E_y$  表示  $y$  方向电场的强度, 其大小可以用电压与在  $y$  方向距离的比值 ( $dV/dy$ )



确定。

假设电子迁移率在沟道中保持不变为常数。在  $z$  方向对点电流进行积分，获得  $x-z$  面上的面电流。与  $y$  轴位置有关的面电流大小如式 (2) 所示。

$$I_D(y) = -S_E \mu_n Q_n (dV/dy) \quad (2)$$

式中， $Q_n$  表示  $x-z$  面上电子的电荷密度积分，见式 (3)。

$$Q_n = -\int_0^{b(y)} q n dz \quad (3)$$

由于沟道深度  $b$  与  $y$  轴坐标有关，因此可以得到  $Q_n$  也是关于  $y$  的函数。在式 (2) 两端同时对  $y$  进行积分并简化，可以得到式 (4)。

$$I_D L = S_E \mu_n \int_{V_S}^{V_D} (-Q_n) dV \quad (4)$$

将式 (4) 中  $L$  转移到等式右侧，同时考虑到跑道型器件的 B 部分由双沟道组成，可以得到跑道型器件 B 部分的电流表达式为 (5)。

$$I_{D\_partB} = 2S_E / L \mu_n \int_{V_S}^{V_D} (-Q_n) dV \quad (5)$$

通过式 (5)，可以发现长条形器件的等效宽长比为  $S_E/L$ ，这与传统直栅器件的宽长比  $W/L$  是一致的。

### 1.3 半圆环形器件的等效宽长比模型

与长条形沟道的计算方法类似，半圆环形器件同样采用一维近似进行计算。跑道型器件 A、C 部分的模型如图 3 所示。

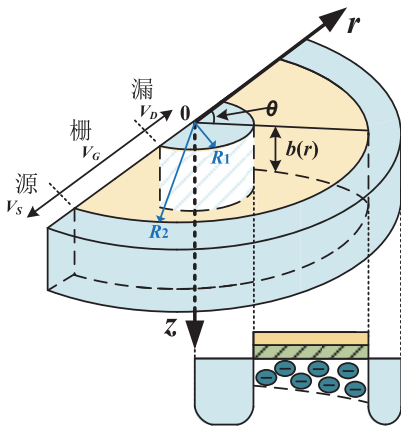


图3 半圆环形沟道结构

Fig.3 Semicircular channel structure

以跑道型器件 A 部分为例，其结构为半圆环，建立柱坐标系  $r-\theta-z$ 。用  $R_1$  表示半圆环的漏区半径， $R_2$  表示栅极半圆环的外环半径。沟道深度与  $r$  有关，用  $b(r)$  表示。施加在器件栅极的电压为  $V_G$ ，漏极和源极电压分别用  $V_D$  和  $V_S$  表示。对偏置电压的要求是栅极电压大于 MOSFET 的阈值电压，源漏电压相近，使沟道内载流子分布均匀且不发生夹断，沟道深度在  $r$  的方向存在微小变化。

沿半径方向，沟道内漂移电流密度可以表示为式 (6)。

$$J(r) = -q \mu_n n E_r = q \mu_n n (dV/dr) \quad (6)$$

式 (6) 中， $E_r$  表示沿半径方向的电场强度，其大小是电压与半径方向距离 ( $dV/dr$ ) 的比值。

对点电荷在半圆环面上进行积分，在该模型中  $\theta$  的取值范围是  $0 \sim \pi$ 。可以得到表达式 (7)。

$$I_D(r) = -\pi r \mu_n Q_n (dV/dr) \quad (7)$$

与长条形器件相同，式 (7) 中的  $Q_n$  是  $r$  的函数，它表示在不同半径大小的半圆环面上，电子密度的积分大小是不同的。它的物理解释是由于源漏间存在压差，沟道内部的电场强度在  $r$  方向存在变化。

在式 (7) 两侧同时对  $r$  进行积分并简化，可以得到半圆环形器件在的沟道电流表达式 (8)。

$$I_D = \pi / \ln(R_2 / R_1) \mu_n \int_{V_S}^{V_D} (-Q_n) dV \quad (8)$$

与长条形器件对应，可知半圆环器件沟道的等效宽长比大小为  $\pi / \ln(R_2 / R_1)$ 。对式 (5) 和式 (8) 进行叠加，可以得到跑道型器件在一维近似下的电流表达式 (9)。

$$I_{rt} = (2S_E / L + 2\pi / \ln(R_2 / R_1)) \mu_n \int_{V_S}^{V_D} (-Q_n) dV \quad (9)$$

由式 (9) 可知，跑道型器件在一维近似下的等效宽长比由直栅和圆环栅两部分组成，见式 (10)。

$$(W/L)_{rt} = 2S_E / L + 2\pi / \ln(R_2 / R_1) \quad (10)$$

## 2 跑道型器件等效宽长比模型的精度

对跑道型器件输出特性进行仿真，可以得到它的饱和电流。为了计算该跑道型器件等效宽长比模型的

计算精度，还要对具有相同宽长比的传统直栅器件进行仿真并获得其饱和电流，对比相同偏置下这两种器件结构的电流大小。跑道型器件等效宽长比模型的计算偏差如式 (11) 所示。

$$\varepsilon(\%) = \frac{(W/L)_{rt-cal} - (W/L)_{rt-simu}}{(W/L)_{rt-simu}} \times 100\% \quad (11)$$

其中， $\varepsilon$  表示计算偏差的百分比， $(W/L)_{rt-simu}$  是仿真得到的跑道型器件等效宽长比大小， $(W/L)_{rt-cal}$  是计算得到的跑道型器件等效宽长比大小。

实际上，无法通过仿真直接得到跑道型器件的等效宽长比大小  $(W/L)_{rt-simu}$ 。本文对其进行了转换，具体过程如式 (12) 所示。

$$(W/L)_{rt-simu} = I_{D-rt} / I_{D-str} \times (W/L)_{rt-cal} \quad (12)$$

跑道型器件仿真得到的饱和电流大小为  $I_{D-rt}$ 。一个与跑道型器件具有相同宽长比、工艺参数的和偏置条件的直栅器件同样被 Sentaurus 工具建模仿真，它的饱和电流大小为  $I_{D-str}$ 。器件的饱和电流大小与其宽长比呈正比，因此通过式 (12) 可以将仿真得到的饱和电流大小  $I_{D-rt}$  转化为等效宽长比  $(W/L)_{rt-simu}$ 。

跑道型器件等效宽长比模型的精度如图 4 至图 6 所示。

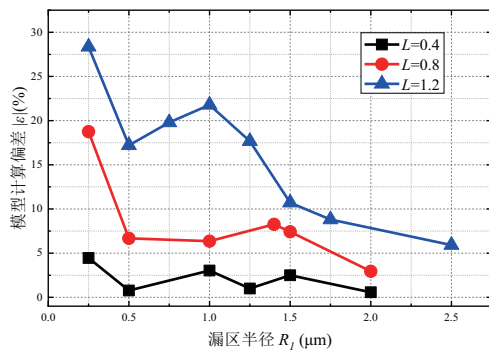


图 4 绝对百分误差与半圆环漏区半径的关系

Fig.4 Absolute percentage error versus circular drain radius

图 4 反映了不同沟道长度下，跑道型器件等效宽长比的模型误差与漏区半径的关系。器件数据的读取点是栅压为 0.5V，漏压为 1.8V。需要注意的是，曲线存在的波动是由仿真时的网格分布引起的。当器件体积增大，相同的网格密度划分会使器件仿真的精度

下降，但过高的网格密度分布会使工具的计算压力加大，致使牛顿迭代不收敛。因此仿真过程须在计算精度与仿真效率间寻找平衡，使得仿真数据存在一定波动。但观察曲线的总体趋势，依旧可以得到规律性的结论。

由图 4 可以发现，保持  $L$  不变，随着  $R_1$  增大，模型的误差呈总体下降的趋势。当  $R_1$  从  $0.25\mu m$  逐渐增大为  $2.5\mu m$  时 ( $L=1.2\mu m$ )，模型的误差从 28.35% 降到了 5.92%。仿真结果显示， $L=0.4$ 、 $0.8$ 、 $1.2\mu m$  时，当跑道型器件漏区的半径大于  $1.5\mu m$  时，模型的精度能提升到 87.5% 以上。

图 5 反映了恒定漏区半径时，跑道型器件等效宽长比模型的计算精度误差与沟道长度的关系。保持  $R_1$  不变，当  $L$  不断增大，模型的计算误差也随之增大。不同漏区半径 ( $R_1=0.25$ 、 $0.5$ 、 $1$ 、 $1.25$ 、 $1.5$ 、 $2\mu m$ ) 的跑道型器件在仿真中均具有这一趋势。

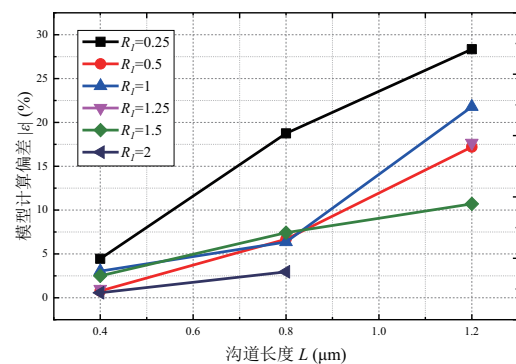


图 5 绝对百分误差与沟道长度的关系

Fig.5 Absolute percentage error versus channel length

保持器件的沟道长度  $L$  ( $L=2\mu m$ ) 和漏区半径  $R_1$  ( $R_1=0.27\mu m$ ) 不变，增大其长条形沟道的宽度  $S_E$ ，模型误差的变化趋势如图 6 所示。随着器件  $S_E$  的不断增大，宽长比模型的计算误差逐渐降低。

这是因为器件的等效宽长比随着  $S_E$  的增大不断提高。跑道型器件等效宽长比计算模型的误差主要来源于圆环形沟道部分，随着长条形部分沟道宽度  $S_E$  的不断增大而圆环形部分固定不变，圆环形沟道的电流占器件总电流的比例逐渐下降，因而计算模型的精度得到提升。

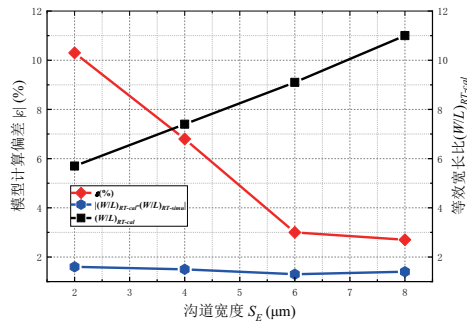


图6 绝对百分误差和等效宽长比与沟道宽度的关系

Fig.6 Absolute percentage error and equivalent aspect ratio versus channel width

### 3 结论

本文提出了跑道型器件的等效宽长比模型，并进行了TCAD Sentaurus建模分析。仿真结果表明，该模型的计算精度可以到达70%以上。同时，讨论了模型精度与参数的关系。当器件具有较大的漏区半径时，漏区电荷的分布更均匀，有利于减小漏区电场对沟道电荷产生的影响，使模型精度更高；当器件的沟道长度 $L$ 较小时，沟道电场分布更均匀，有利于使用一维近似，使模型精度更高；当器件长条形沟道宽度更大，器件等效宽长比增大，两种栅结构连接部分引起的沟道电场不均匀对总电流的影响更小，使模型计算精度更高。同理，漏区半径的增大以及沟道长度的减小均能使器件等效宽长比增大。这些关系可以为工程师在电路设计时选择跑道型器件的尺寸和分析模型的计算结果时提供依据。

### 参考文献 (References)

- [1] SCHWANK J R, SHANEYFELT M R, FLEETWOOD D M, et al. Radiation effects in MOS oxides[J]. IEEE Transactions on Nuclear Science, 2008, 55(4): 1833–1853.
- [2] SNOEYS W, FACCIO F, BURNS M, et al. Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers,

Detectors and Associated Equipment, 2000, 439(2): 349–360.

- [3] ZHOU X, LUO P, HE L, et al. A radiation-hard waffle layout for BCD power MOSFET. IEEE 12th International Conference on ASIC (ASICON), Guiyang, 2017: 773–775.
- [4] LEE S H, JEON C K, MOON J W, et al. 700V lateral DMOS with new source fingertip design[C]. IEEE International Symposium on Power Semiconductor Devices and IC's, Orlando, 2008: 141–144.
- [5] CHENG C, HUANG C, LEE K, et al. A novel deep junction edge termination for superjunction MOSFETs[J]. IEEE Electron Device Letter, 2018, 39(4): 544–547.
- [6] BOREL T, FURIC S, LEDUC E, et al. Total ionizing dose effect in LDMOS oxides and devices[J]. IEEE Transactions on Nuclear Science, 2019, 66(7): 1606–1611.
- [7] SHU L, WANG L, ZHOU X, et al. Numerical and experimental investigation of TID radiation effects on the breakdown voltage of 400-V SOI NLD MOSFETs[J]. IEEE Transactions on Nuclear Science, 2019, 66(4): 710–715.
- [8] MUNTEANU D, CRISTOLOVEANU S, HOVEL H. Circular pseudo-metal oxide semiconductor field effect transistor in silicon-on-insulator – analytical model, simulation, and measurements[J]. Electrochemical Solid State Letters, 1999, 2(5): 242–243.
- [9] CARDOSO G S, BALEN T R. Study of layout extraction accuracy on W/L estimation of ELT in analog design flow[C]. IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS), Florianopolis, 2016: 279–282.



#### 作者简介:

吴昱操 (1989—), 男, 四川成都人, 博士研究生, 研究方向为功率集成电路抗辐射加固设计。

# 3kV 双向阻断 AlGa<sub>N</sub> 沟道 HEMT 电力电子器件

赵胜雷, 张进成, 郝 跃

(西安电子科技大学, 陕西 西安 710071)

**摘 要:** 氮化镓沟道高电子迁移率晶体管具有较高的击穿电压, 在功率器件中受到广泛关注。相比较于氮化镓材料, 铝镓氮材料的禁带宽度更大, 铝镓氮沟道高电子迁移率晶体管在高击穿应用中具有更大的优势。此外, 采用肖特基漏技术可以进一步提高击穿电压, 并且实现双向阻断功能。基于铝镓氮材料和肖特基漏结构, 栅漏间距为 12 $\mu\text{m}$  的器件, 具有 2200V ~ 2600V 的击穿电压, 以及 -1950V ~ -2200V 的反向阻断电压。当栅漏间距增大到 52 $\mu\text{m}$  时, 正反向击穿电压均达到 3000V 以上, 并且在 -2000V 的高压下仍然可以保持低至 6.06nA/mm 的泄漏电流。

**关键词:** 铝镓氮沟道高电子迁移率晶体管; 肖特基漏; 双向阻断; 击穿电压

**中图分类号:** TN4 **文献标识码:** A

## More Than 3000 V Reverse Blocking Schottky-Drain AlGa<sub>N</sub>-Channel HEMTs with >230 MW/cm<sup>2</sup> Power Figure-of-Merit

Zhao Shenglei, Zhang Jincheng, Hao Yue

(Xidian University, Xi'an, 710071, China)

**Abstract:** In this letter, more than 3000 V reverse blocking Schottky-drain AlGa<sub>N</sub>-channel HEMTs are demonstrated for the first time. By using Schottky drain technology, forward breakdown voltage  $V_{FB}$  (at 10  $\mu\text{A}/\text{mm}$ ) is improved from 185 ~ 2100 V to 2200 ~ 2600 V for  $L_{GD} = 22\mu\text{m}$ . Due to the high breakdown electric field of AlGa<sub>N</sub> material, reverse blocking voltage  $V_{RB}$  (at 10  $\mu\text{A}/\text{mm}$ ) reaches as high as -1950 ~ -2200 V. For HEMTs with  $L_{GD} = 52\mu\text{m}$ , record high  $V_{FB}$  of >3000 V and  $V_{RB}$  of >3000 V have been achieved. The leakage current is as low as 6.06 nA/mm at  $V_{DS} = -2000$  V.

**Key words:** AlGa<sub>N</sub>-channel HEMTs; Schottky drain; reverse blocking; breakdown voltage

## 0 引言

氮化镓器件具有高击穿电压, 高开关速度, 低能耗的优势, 在功率器件应用领域具有很大的潜力<sup>[1]</sup>。此外, 反向阻断功能在某些功率应用领域中很重要, 例如矩阵变换器、多级变换器和一些谐振变换器<sup>[2]</sup>。目前已经有一些 600V 和 1200V 级反向阻断硅基绝缘栅双极晶体管被制备出来应用于交流矩阵变换器。在 AlGa<sub>N</sub>/Ga<sub>N</sub> 高电子迁移率晶体管中采用肖特基漏极结构可以形成耗尽区并获得反向阻塞能力<sup>[3]</sup>。Bahat-Treidel 等人采用凹槽肖特基漏结构制备出了反向击穿电压大于 -110V 的 AlGa<sub>N</sub>/Ga<sub>N</sub> 高电子迁移率晶体管<sup>[4]</sup>。我们课题组论证了肖特基漏结构可以同时改

善正向和反向击穿电压, 并提出漏场板技术可以进一步提高反向阻断电压<sup>[5,6]</sup>。在双沟道 AlGa<sub>N</sub>/Ga<sub>N</sub> 晶体管上集成场板与肖特基漏结构, 可以实现 -656V 的反向击穿电压<sup>[1]</sup>。此外, 采用多阳极肖特基漏结构可以实现高达 -900V 的反向击穿电压, 这也证明了漏场板对电场的调制作用<sup>[7]</sup>。虽然氮化镓基器件比硅基器件具有更高的击穿电压, 但是对于反向阻断氮化镓基器件的研究有限, 到目前为止, 氮化镓基器件实现的反向阻断电压都在 -1000V 以下。为了满足高压电力应用中对于反向阻断能力的要求, 提高氮化镓基器件的反向击穿电压非常重要。虽然铝镓氮材料中合金散射效应导致沟道迁移率显著降低, 但铝镓氮材料的临界电



场高于氮化镓材料, 且铝镓氮沟道高电子迁移率晶体管的击穿电压高于氮化镓沟道高电子迁移率晶体管<sup>[8]</sup>。

在本文中, 我们展示了反向阻断电压超过 3000V 的铝镓氮沟道高电子迁移率晶体管, 其功率品质因数大于  $230\text{MW}/\text{cm}^2$ 。对于栅漏间距为  $22\mu\text{m}$  的肖特基漏结构的高电子迁移率晶体管, 其导通电阻为  $12.9\text{m}\Omega\cdot\text{cm}^2$ , 正向功率品质因数为  $447\text{MW}/\text{cm}^2$ , 反向功率品质因数为  $326\text{MW}/\text{cm}^2$ 。这些指标均高于目前已报道的反向阻断器件。

## 1 材料生长与器件制备

该外延材料是采用金属有机化学气相沉积系统在蓝宝石衬底上进行生长。在外延层生长之前, 首先通过对衬底进行  $1050^\circ\text{C}$  高温退火 10min 去除表面污染物。然后在  $1050^\circ\text{C}$  下生长 180nm 的氮化铝材料作为成核层。缓冲层包括两部分, 即  $1.1\mu\text{m}$  氮化镓缓冲层和 300nm 铝镓氮缓冲层。沉积 300nm 的铝镓氮缓冲层是为了减少氮化镓缓冲层与铝镓氮沟道层之间的晶格失配, 铝镓氮缓冲层的铝组份从 0 逐渐增加到 10%。随后在铝镓氮缓冲层上方依次生长 200nm 铝镓氮沟道层、1nm 氮化铝插入层、24nm 铝镓氮势垒层和 2nm 氮化镓帽层。在室温下, 外延材料的载流子密度为  $3.9\times 10^{12}\text{cm}^{-2}$ , 电子迁移率为  $801\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 。外延片电阻为  $2093\Omega/\square$ 。

铝镓氮沟道高电子迁移率晶体管的关键工艺包括台面隔离刻蚀、欧姆和肖特基接触的沉积和氧化铝钝化层的生长。在台面隔离刻蚀后, 将器件在  $85^\circ\text{C}$  的 25%TMAH 溶液中浸泡 10min 来提高刻蚀表面的平整度和降低器件的泄漏电流。沉积 Ti/Al/Ni/Au 金属层并在  $840^\circ\text{C}$  高温下退火 30s 完成欧姆接触电极的制备, 欧姆接触电阻为  $1.6\Omega\cdot\text{mm}$ 。通过沉积 Ni/Au 金属层来获得肖特基接触。此外, 本文采用等离子体增强原子层沉积法沉积 20nm 的氧化铝钝化层改善器件的动态特性。所测器件的栅宽为  $50\mu\text{m}$ , 栅长为  $2\mu\text{m}$ , 栅源距离为  $4\mu\text{m}$ , 栅漏距离为  $6/8/10/12/17/22/52\mu\text{m}$ 。欧姆漏结构和肖特基漏结构的铝镓氮沟道高电子迁移率晶体管均在同一外延片上进行制备。器件的结构示意图如图 1 所示。

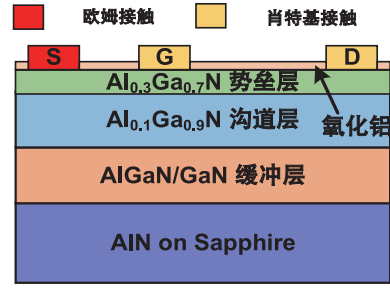


图 1 器件结构示意图

Fig.1 Cross-sectional structure of AlGaIn-channel HEMTs with Schottky drain

## 2 结果讨论

如图 2(a) 所示, 对于栅漏间距为  $22\mu\text{m}$  的器件, 肖特基漏铝镓氮沟道高电子迁移率晶体管的饱和输出电流为  $274\text{mA}/\text{mm}$ , 该数值略低于欧姆漏极器件的  $281\text{mA}/\text{mm}$ 。肖特基漏高电子迁移率晶体管的开启电压为  $1.0\text{V}$ , 这也导致器件的导通电阻较高, 为  $41.7\Omega\cdot\text{mm}$ 。采用凹槽结构可以降低开启电压和导通电阻, 但同时也会导致器件的泄漏电流和击穿电压性能降低。如图 2(b) 所示, 两种器件的阈值电压均为  $-2.8\text{V}$ 。此外, 器件的电流开关比高达  $10^8$ 。

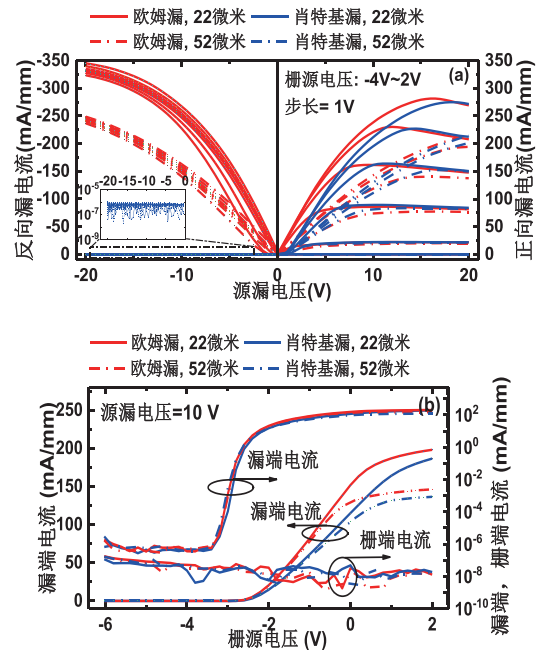


图 2 两种结构器件的 (a) 输出特性和 (b) 转移特性  
Fig.2 (a) Output characteristics and (b) transfer characteristics of two kinds of AlGaIn-channel HEMTs with  $L_{GD}=22/52\mu\text{m}$

图 3(a) 显示了两种铝镓氮沟道高电子迁移率晶体管的正反向击穿特性。当器件的泄漏电流达到  $10\mu\text{A}/\text{mm}$  时对应的电压做为器件的正向击穿电压和反向击穿电压。如图 3(b) 所示, 我们测量了均匀分布的 11 组栅漏间距为  $22\mu\text{m}$  的铝镓氮沟道高电子迁移率晶体管, 击穿特性表现出良好的均匀性。栅漏间距为  $22\mu\text{m}$  的欧姆漏器件的正向击穿电压为  $1850 \sim 2100\text{V}$ 。采用肖特基漏极结构, 在栅漏间距为  $22\mu\text{m}$  时, 正向击穿电压可提高到  $2200 \sim 2600\text{V}$ 。当栅漏间距增加到  $52\mu\text{m}$  时, 肖特基漏极器件的正向击穿电压高达  $3000\text{V}$  以上。在击穿特性测量的同时也监测了栅端泄漏电流, 我们发现器件击穿是由于缓冲层击穿导致的。肖特基漏器件具有平坦的电极形貌和较少的金属尖刺, 从而改善了器件的击穿特性<sup>[9]</sup>。此外, 肖特基漏铝镓氮沟道高电子迁移率晶体管还具有良好的反向阻断特性。在栅漏间距为  $22/52\mu\text{m}$  时, 肖特基漏器件的反向击穿电压分别为  $-1950 \sim -2200\text{V}$  和  $>-3000\text{V}$ 。图 3(c) 展示了栅漏间距为  $6/8/10/12/17/22/52\mu\text{m}$  器件的击穿电压。采用肖特基漏极技术, 平均正向击穿电场由  $0.97\text{MV}/\text{cm}$  提高到  $1.08\text{MV}/\text{cm}$ , 平均反向击穿电场为  $0.90\text{MV}/\text{cm}$ 。

图 4(a) 展示了欧姆漏高电子迁移率晶体管的电子浓度分布仿真结果<sup>[10]</sup>。当源漏电压  $-5\text{V}$  时, 栅极下的电压降将降低到一个很小的值, 器件将被打开, 导致较高的反向漏电流和较低的反向击穿电压<sup>[5]</sup>。肖特基漏高电子迁移率晶体管在反向漏极偏置下会在漏端附近形成耗尽区, 如图 4(b) 所示。漏端附近的耗尽区抑制了反向漏电流, 铝镓氮材料的高击穿电场进一步提高了反向阻断能力。此外, 较低的二维电子气密度可以形成较大的耗尽区。铝镓氮材料的低二维电子气密度、肖特基漏结构和高临界击穿电场是产生高击穿电压的三个主要原因。图 4(d) 展示了栅源电压为  $-6\text{V}$ , 源漏电压为  $-3000\text{V}$  时肖特基漏器件中的电场分布<sup>[11]</sup>。在仿真结果中, 没有考虑不确定的陷阱和深能级杂质, 电场主要集中在漏端边缘。由于电场没有集中在电极边缘, 所以栅漏间距为  $52\mu\text{m}$  的肖特基漏器件能够承受高击穿电压<sup>[12]</sup>。在以前的研究中,

对反向阻断高电子迁移率晶体管进行了不同的栅压偏置<sup>[7]</sup>, 通过仿真也可以发现, 反向漏端电压主要是集中在漏端附近的耗尽区两侧, 栅压几乎不影响反向阻断特性。如图 4(b) 和图 4(c) 所示, 栅源电压为  $-6\text{V}$  和  $2\text{V}$  时, 漏极耗尽区非常相似。

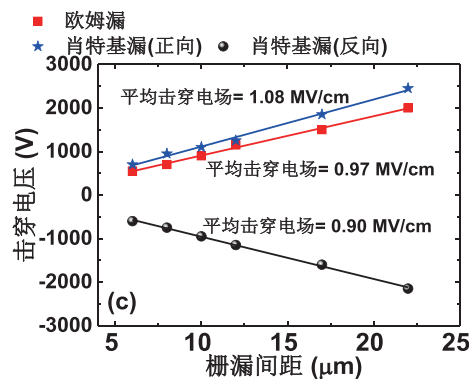
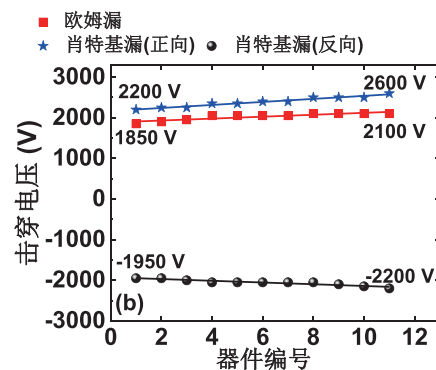
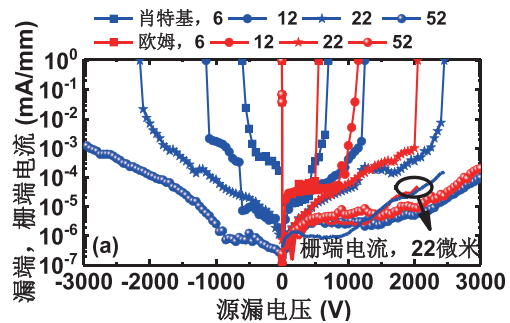


图 3 (a) 两种结构器件的正反向击穿特性, (b) 10 组栅漏间距为  $22\mu\text{m}$  器件的击穿电压统计, (c) 器件的击穿电压随栅漏间距的变化关系

Fig.3 (a) Forward blocking and reverse blocking characteristics of two kinds of AlGaN-channel HEMTs with  $L_{GD}=6/12/22/52\mu\text{m}$  and  $V_{GS}=-6\text{V}$ . The gate leakage currents for  $L_{GD}=22\mu\text{m}$  are shown. (b) Breakdown voltages for eleven groups of AlGaN-channel HEMTs with  $L_{GD}=22\mu\text{m}$  distributed on the wafer. (c) Breakdown voltages versus gate-drain distances  $L_{GD}$

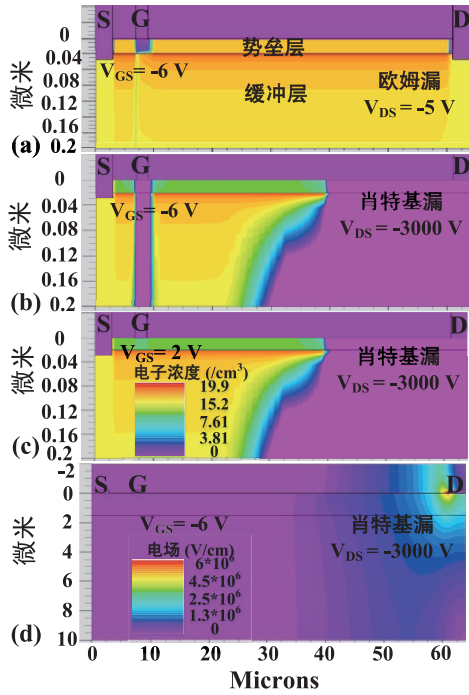


图 4 (a) 栅源电压为  $-6\text{V}$ ，源漏电压为  $-5\text{V}$  时欧姆漏器件中电子浓度的对数分布。栅源电压分别为 (b)  $-6\text{V}$  和 (c)  $2\text{V}$ ，源漏电压为  $-3000\text{V}$  时肖特基漏器件中电子浓度的对数分布。(d) 栅源电压为  $-6\text{V}$ ，源漏电压为  $-3000\text{V}$  时肖特基漏器件中的电场分布

Fig.4 (a) Logarithmic electron concentration distribution of the ohmic-drain HEMT with  $V_{GS}=-6\text{V}$  and  $V_{DS}=-5\text{V}$ . Logarithmic Electron concentration distribution of the Schottky-drain HEMT with (b)  $V_{GS}=-6\text{V}$  and  $V_{DS}=-3000\text{V}$ ; (c)  $V_{GS}=2\text{V}$  and  $V_{DS}=-3000\text{V}$ . (d) Electric field distribution of the Schottky-drain HEMT with  $V_{GS}=-6\text{V}$  and  $V_{DS}=-3000\text{V}$

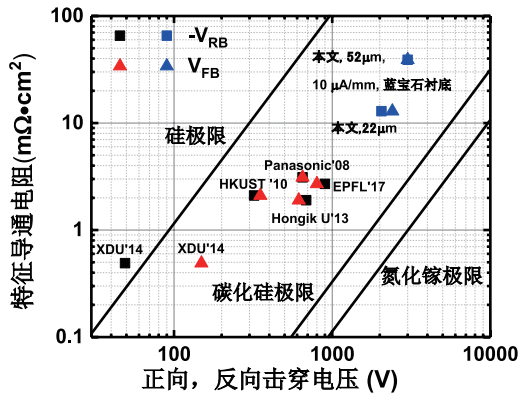


图 5 反向阻断氮化镓器件的导通电阻与正反向击穿电压对比关系

Fig.5  $R_{ON}$  versus  $V_{RB}$  or  $V_{FB}$  benchmark of reverse-blocking GaN HEMTs

表 1 结果对比

Tab.1 Comparison between this work and other devices

$V_{RB}(\text{V})$	$L_{GD}$ $\mu\text{m}$	$FOM_R$ ( $\text{MW}/\text{cm}^2$ )	$V_{FB}(\text{V})$	$FOM_F$ ( $\text{MW}/\text{cm}^2$ )
-49	2	4.9	149	45
-110	6	—	—	—
-321	9	50	351	59
-650	—	136	650	136
-656	15	—	790	—
-685	12	247	615	199
-900	12.5	301	800	238
-2050	22	326	2402	447
$> -3000$	52	$> 230$	$> 3000$	$> 230$

本研究与以往其他研究的比较如表一和图 5 所示。本文所研究的肖特基漏铝镓氮沟道高电子迁移率晶体管具有最高的正反向击穿电压。栅漏间距为  $52\mu\text{m}$  的肖特基漏高电子迁移率晶体管的特征导通电阻值为  $39.1\text{m}\Omega \cdot \text{cm}^2$ 。正反向功率品质因数均高于  $230\text{MW}/\text{cm}^2$ 。源漏电压为  $-500\text{V}$  和  $-2000\text{V}$  时的反向漏电流均小于  $1\mu\text{A}/\text{mm}$ 。对于栅漏间距为  $52\mu\text{m}$  的肖特基漏器件，在源漏电压为  $-2000\text{V}$  时反向漏电流仅为  $6.06\text{nA}/\text{mm}$ 。

#### 4 结论

在本文中，我们展示了一种高性能肖特基漏铝镓氮沟道高电子迁移率晶体管，其正反向击穿电压均达到  $3000\text{V}$  以上。在已报道的反向阻断氮化镓高电子迁移率晶体管中，本文所制备的器件具有最高的正反向击穿电压和正反向功率品质因数，并且在高压下器件的反向漏电流最低。

#### 参考文献 (References)

- [1] LEI J C, WEI J, TANG G F, et al. Reverse-Blocking Normally-OFF GaN Double-Channel MOS-HEMT with Low Reverse Leakage Current and Low ON-State Resistance, [J]. IEEE Electron. Device Lett., 2018, 39(7): 1003-1006.
- [2] KANG J K, HARA H, HAVA A M, et al. The Matrix Converter Drive Performance Under Abnormal Input Voltage Conditions, [J]. IEEE Transactions on Power Electronics, 2002, 17(5): 721-730.

- [3] TAKAHASHI H, KANEDA M and MINATO T. 1200V class Reverse Blocking IGBT (RB-IGBT) for AC Matrix Converter, [C]// IEEE Int. Symp. Power Semiconductor Device IC' s (ISPSD), 2004.
- [4] TREIDEL, E B, LOSSY R, WURFL J, et al. AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT with Integrated Recessed Schottky-Drain Protection Diode, [J]. IEEE Electron. Device Lett., 2010, 30(9): 901-903.
- [5] ZHAO S L, MIN M H, et al. Mechanism of improving forward and reverse blocking voltages in AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs by using Schottky drain, [J]. Chin. Phys. B, 2014, 23(10): 107303.
- [6] ZHAO S L, WANG Y, YANG X L, et al. Reverse blocking enhancement of drain field plate in Schottky-drain AlGa<sub>N</sub>/Ga<sub>N</sub> high-electron mobility transistors, [J]. Chin. Phys. B, 2014, 23(9): 097305.
- [7] MA J, ZHU M H, and MATIOLI E. 900 V Reverse-Blocking Ga<sub>N</sub>-on-Si MOSHEMTs With a Hybrid Tri-Anode Schottky Drain, [J]. IEEE Electron Device Lett., 2017, 38(12): 1704-1707.
- [8] ZHANG W H, ZHANG J C, XIAO M, et al. High Breakdown-Voltage (>2200V) AlGa<sub>N</sub>-Channel HEMTs With Ohmic-Schottky Hybrid Drains, [J]. Journal of Electron Devices Society, 2018, 28(6): 931-935.
- [9] LU B, PINER E L and PALACIOS T. Schottky-Drain Technology for AlGa<sub>N</sub>/Ga<sub>N</sub> High-Electron Mobility Transistors, [J]. IEEE Electron. Device Lett., 2010, 31(4): 302-304.
- [10] ATLAS Device Simulation Software, [K]. Silvaco Int. Santa Clara, CA, USA, 2013.
- [11] KARMALKAR S and MISHRA U. K. Enhancement of Breakdown Voltage in AlGa<sub>N</sub>/Ga<sub>N</sub> High Electron Mobility Transistors Using a Field Plate, [J]. IEEE Trans. Electron Devices, 2001, 48(8): 1515-1521.
- [12] TIPIRNENI N, KOUDYMOV A, ADIVARAHAN V, et al. The 1.6-kV AlGa<sub>N</sub>/Ga<sub>N</sub> HFETs, [J]. IEEE Electron. Device Lett., 2006, 27(9): 716-718.



## 作者简介:

赵胜雷(1989—), 男, 河南省濮阳市南乐县人, 博士, 副教授, 长期从事 Ga<sub>N</sub> 电力电子器件机理与应用研究工作。



# 抗高过载 MEMS 环形谐振陀螺结构设计

王 浩, 张 龙, 叶泽刚, 朱 红, 周博远, 柴宏玉, 周金秋, 康苗苗

(北京微电子技术研究所, 北京 100076)

**摘 要:** 设计了一款能够满足实弹抗过载要求的 MEMS 环形谐振陀螺。通过有限元仿真, 研究了陀螺结构参数对过载性能的影响。设计加工后, MEMS 环形陀螺进行了实弹飞行试验, 该飞行试验最大过载达到 8000G。同时, MEMS 环形陀螺的零偏稳定性为  $7^\circ/\text{hr}$ , 量程达到  $4000^\circ/\text{s}$ 。

**关键词:** 抗高过载; 环形陀螺; MEMS

中图分类号: U666.123 文献标识码: A

## Design of a High Shock Resistance MEMS Vibrating Ring Gyroscope

Wang Hao, Zhang Long, Ye Zegang, Zhu Hong, Zhou Boyuan, Chai Hongyu, Zhou Jinqu, Kang Miaomiao

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

**Abstract:** A MEMS vibrating ring gyroscope (VRG) which can endure a high shock has been designed. The impact of MEMS VRG's structure on shock resistance performance has been simulated and studied through finite element simulation. After design and fabrication, the VRG has experienced a flying test whose maximum transient acceleration is above 8000G. Meanwhile, the gyroscope has achieved a bias stability of  $7^\circ/\text{hr}$  and a measurement range of  $4000^\circ/\text{s}$ .

**Key words:** high shock resistance; vibrating ring gyroscope (VRG); MEMS

## 0 引言

MEMS 陀螺具有体积小、成本低、可批量制造等优点。在实弹装备上装配 MEMS 陀螺, 可在不大幅增加成本前提下, 大大提高实弹的准确性。因此, 研究、设计能满足实弹飞行条件的 MEMS 陀螺具有重要意义。然而, 在实弹发射瞬间会有一个很大过载冲击。MEMS 器件在该过载冲击下, 极易出现损伤, 导致性能退化, 甚至无法工作。因此, 需要对 MEMS 陀螺进行抗过载设计, 才能满足实际应用的环境需求。通常情况, 安装在实弹上的器件所受的过载加速度可达到 8000G, 甚至更高, 且过载持续时间长, 过载加速度变化复杂<sup>[1]</sup>。因此对器件设计提出了很高的要求。

国外在抗过载 MEMS 陀螺方面取得了很多成果, 并形成了产品。如意法半导体开发了抗过载

MEMS 陀螺产品, 其过载能力达到  $10000\text{G}$ <sup>[2]</sup>。美国 Honeywell 公司研制的 HG1930 过载能力已达到  $20000\text{G}$ , 并已广泛应用于多个装备<sup>[3,4]</sup>。

国内也开展了抗高过载 MEMS 陀螺的研究。上海交通大学提出了一种双轴的抗高过载压阻式的 MEMS 陀螺结构, 由于其结构本身是一个整体且无较大幅值的运动, 理论上具有较好的抗冲击能力<sup>[5]</sup>。上海微系统所在线振动结构上添加了限位结构, 通过地面锤击试验, 验证该陀螺的抗冲击性能最高达到  $15000\text{G}$ <sup>[6]</sup>。但是, 目前国内针对 MEMS 陀螺抗高过载的设计与测试主要基于理论分析或地面试验, 鲜有经过实弹测试或应用于实弹的产品。因此, 本文拟开展抗高过载 MEMS 环形陀螺设计, 并采用实弹搭载试验, 充分验证陀螺的抗高过载性能。

## 1 抗高过载 MEMS 环形陀螺设计与加工

MEMS 环形谐振陀螺（也称 MEMS 环形陀螺）是一种典型的酒杯模态陀螺<sup>[7-10]</sup>。由于其中心对称结构，两模态可以通过静电平衡实现频率一致，因此检测模态具有更高的灵敏度，可以实现更高的检测精度。MEMS 环形陀螺的基本结构如图 1 所示。

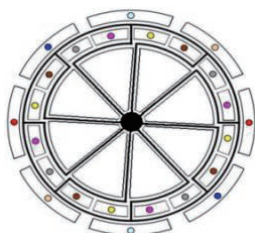


图 1 MEMS 环形陀螺结构

Fig.1 Diagrammatic sketch of MEMS ring gyroscope

中心锚点固定在衬底上，8 个折叠的弹性梁连接环形谐振器悬挂在中心锚点上。折叠梁与环共同构成弹性谐振器和质量块。谐振环外部的电极负责信号的检测与驱动，环内电极负责实现静电平衡调整。

MEMS 环形陀螺在抗过载方面有着天然的优势。其谐振器的惯性质量通常远小于相同平面尺寸的音叉陀螺，更小的质量意味着在相同大小的冲击加速度下，弹性梁将承受更小的惯性力。因此，本文基于 MEMS 环形陀螺开展抗过载设计的相关研究。

### 1.1 抗过载设计判据

当 MEMS 陀螺遭受过载时，器件内部将产生瞬间的局部应力。根据理论分析，当在高速冲击下，结构内部的最大局部应力小于器件的断裂应力，则认为 MEMS 器件能够承受相应的过载，具有相应的抗过载能力。因此在过载冲击下的最大局部应力是判断器件是否能够承受相应过载的关键判据。

单晶硅的断裂应力通常在 0.6GPa ~ 7.7GPa。本文在进行过载能力的仿真时，保守考虑 0.6GPa 为硅器件的断裂应力。在工程设计中，断裂应力很容易受到材料中的缺陷、结构尺寸等因素的影响。为保证安全设计裕度，通常会在理论断裂应力上乘以安全

系数作为断裂应力设计阈值，一般安全系数设定为 0.3。因此本文以 200Mpa 的断裂应力阈值作为设计判据。

### 1.2 结构仿真

环形陀螺的抗过载能力主要受敏感结构的尺寸影响，包括厚度  $h$ 、环宽  $w$ 、梁宽  $l$  等，如图 2 所示。同时，结构尺寸也将影响陀螺的敏感参数，如谐振频率。为了避开环境噪声，同时为匹配自主研发的 ASIC 电路，谐振频率的设计范围为 12kHz ~ 15kHz。因此本文首先研究结构尺寸对谐振频率的影响。

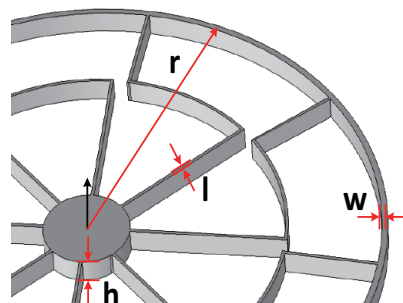


图 2 MEMS 环形陀螺尺寸定义

Fig.2 Size identification of VRG

首先，基于有限元软件仿真了在厚度固定为 150 $\mu$ m 下环宽和梁宽对谐振频率的影响。图 3 为环形陀螺的仿真谐振频率随环宽  $w$ 、梁宽  $l$  的变化曲线。从图 3 可以看出，环宽和梁宽均对陀螺的谐振频率产生影响。

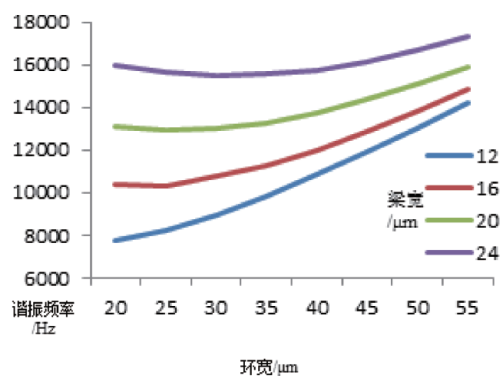


图 3 环宽、梁宽对陀螺谐振频率的影响

Fig.3 Impact of ring width/beam width on resonating frequency

厚度对谐振频率的影响也进行了仿真。环宽  $w$  设定为  $40\mu\text{m}$ 、梁宽  $l$  设定为  $20\mu\text{m}$ ，当厚度  $h$  从  $40\mu\text{m}$  到  $400\mu\text{m}$  范围变化时谐振频率仅从  $13574\text{Hz}$  缓慢增加到  $13703\text{Hz}$ 。仿真结果如图 4 所示。

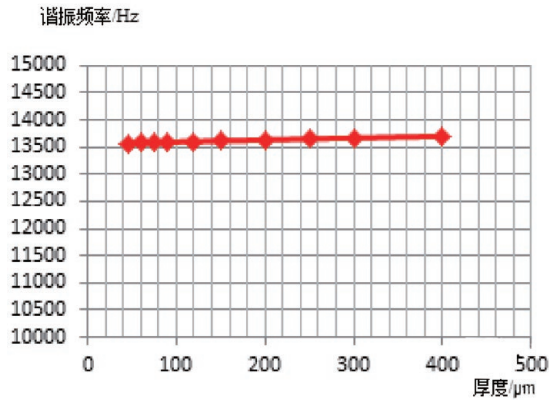


图 4 厚度对陀螺谐振频率的影响

Fig.4 Influence of thickness on resonating frequency

从以上仿真可以得出结论：器件厚度变化基本对谐振频率无影响。环宽、梁宽变化对谐振频率均产生影响：环宽越大，谐振频率越大；梁宽越大，谐振频率也越大。

陀螺的抗过载性能主要由内部最大局部应力决定。同时，在过载下的最大位移也可作为陀螺过载下重要的特征量。因此，本文同时仿真了在  $8000\text{G}$  过载下不同尺寸对局部最大应力和最大位移的影响。

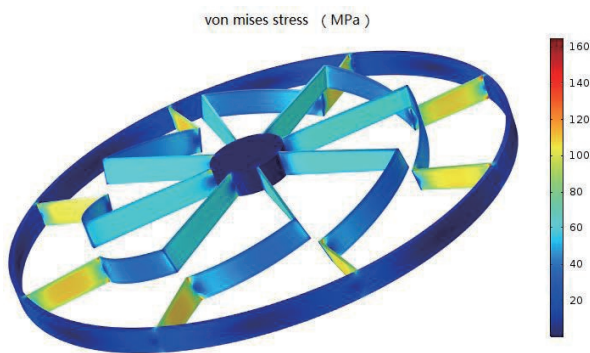


图 5 MEMS 环陀螺在高过载下的局部应力仿真

Fig.5 Local stress simulation of MEMS VRG under a high shock

为了研究厚度变化对陀螺抗过载性能的影响，冲击加速度设定为  $8000\text{G}$ ，仿真了厚度从  $40\mu\text{m}$  到

$400\mu\text{m}$  范围变化时最大局部应力和最大位移的变化情况，如图 6 所示。仿真结果显示：当器件厚度低于  $80\mu\text{m}$  时，最大局部应力和最大位移均很大，且随着厚度的减小，最大局部应力和最大位移均快速增加，说明随着器件厚度减小抗过载能力迅速变差；当器件厚度大于  $80\mu\text{m}$  时，最大局部应力随器件厚度的增加而缓慢增大；而最大位移则随器件厚度的增加而缓慢减小。以上仿真分析表明当厚度低于  $80\mu\text{m}$  时，器件厚度越小，抗过载能力越差。而当器件厚度大于  $80\mu\text{m}$  时，抗过载能力随厚度增加也缓慢变差，但是变化趋势不明显。

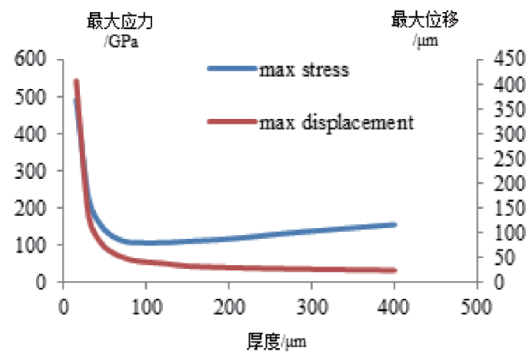


图 6 厚度对过载性能的影响

Fig.6 Impact of thickness on shock-resistance performance

在  $8000\text{G}$  过载下，MEMS 陀螺环宽、梁宽对最大局部应力以及最大位移的影响也进行了仿真分析。仿真结果分别如图 7 和图 8 所示。图 7 显示了最大应力随环宽/梁宽的变化趋势，在相同冲击加速度下，环宽越大，最大局部应力越大；而梁宽越大，最大局部应力越小。

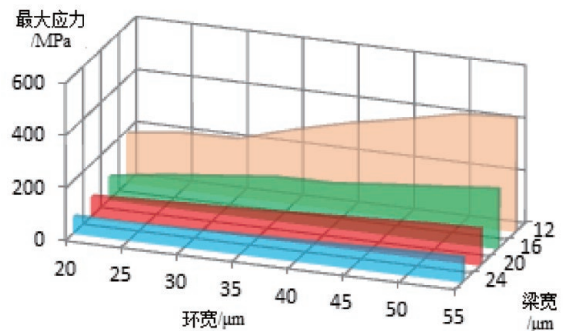


图 7 最大局部应力随环宽和梁宽的变化趋势

Fig.7 Max local stress on beam width and ring width

在过载冲击下的最大位移随环宽、梁宽的变化趋势基本一致，如图 8 所示。因此要获得较好的抗过载性能，梁宽尽量大、环宽尽量小。

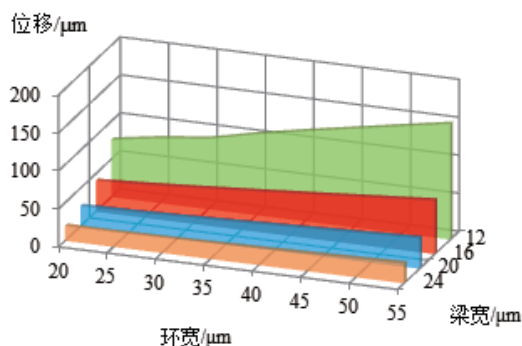


图 8 最大位移随环宽和梁宽的变化趋势

Fig.8 Max displacement variation with beam width and ring width

根据以上仿真分析，一方面器件要保证抗过载能力尽量高，即在特定过载加速度下，最大局部应力尽量小；同时为了适配 ASIC 电路，谐振频率的设计范围应满足 12kHz ~ 15kHz。最终设计的 MEMS 环陀螺结构的尺寸如表 1 所示。谐振频率为 13552Hz，在 8000G 冲击加速度下的最大局部应力为 125MPa，小于设定的阈值断裂应力 200MPa。说明该结构在理论上能够承受 8000G 的过载冲击。

表 1 MEMS 环陀螺结构尺寸

Tab.1 Structure size of MEMS VRG

结构	尺寸 /μm
直径	4000
环宽	40
梁宽	20
厚度	150

## 1.3 加工制造

仿真完成后，MEMS 环形陀螺基于硅-玻璃进行阳极键合，实现圆片级真空封装。具体工艺步骤如图 9 所示，分别为：(a) 衬底玻璃通孔刻蚀；(b) 硅台阶刻蚀；(c) 第一次阳极键合；(d) 敏感结构刻蚀；(e) 密闭层玻璃刻蚀；(f) 吸气剂淀积；(g) 第二次阳极键合；(h) 金属电极制作。

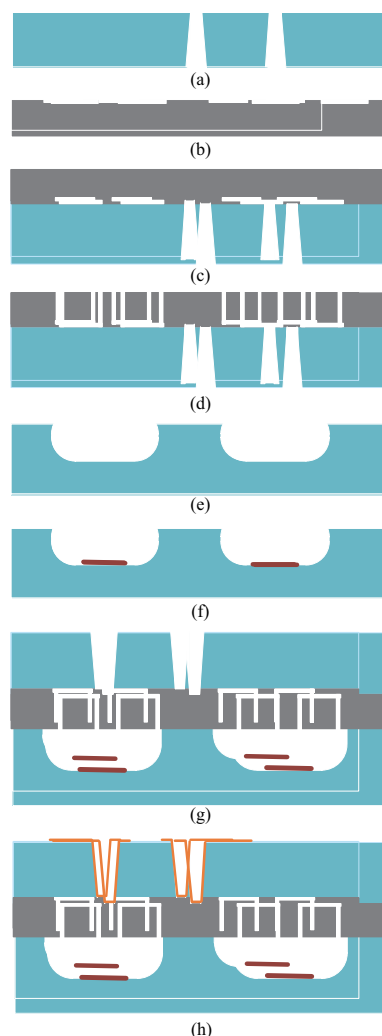


图 9 MEMS 环形陀螺的工艺加工步骤

Fig.9 Fabrication process of the VRG

MEMS 陀螺横截面如图 10 所示。MEMS 环形陀螺敏感结构基于 <111> 面单晶硅进行 ICP 刻蚀。刻蚀深宽比为 15:1。在密闭腔体内部淀积了吸气剂以使腔体保持长期真空。检测电极和驱动电极通过玻璃通孔内的金属层向外引出。

陀螺器件与一款自主研制的闭环陀螺 ASIC 电路进行了集成封装，如图 11 所示。其中用于拾取电容变化微小信号的 4 个独立的 LNA 被粘在陀螺敏感结构的 4 个角，以缩短信号传输路径、降低信号干扰。ASIC 电路可实现两个模态的闭环控制与检测；同时也可实现温度补偿、静电平衡调整等功能。



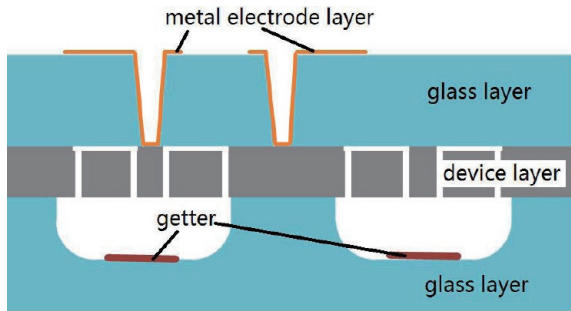


图 10 基于玻璃-硅-玻璃键合的 MEMS 环形陀螺横截面图  
Fig.10 Cross-section of MEMS VRG with Glass-silicon-glass anode bonding

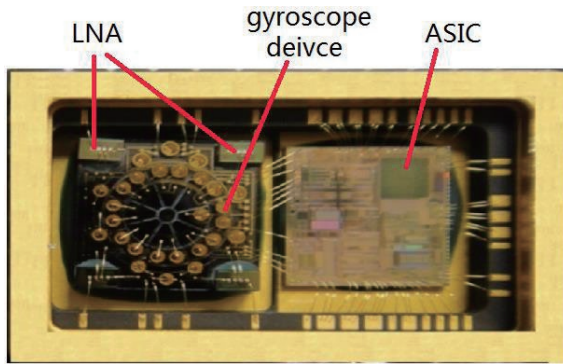


图 11 MEMS 环形陀螺与 ASIC 集成封装  
Fig.11 SIP of VRG and ASIC

## 2 试验与测试

### 2.1 陀螺性能测试

在 MEMS 环形陀螺优化、加工以后，对陀螺的主要参数和性能指标进行了测试。首先用扫频法对陀螺的谐振频率进行了测试，陀螺谐振频率为 13.692kHz。采用振铃法对 Q 值进行了测试<sup>[11]</sup>，Q 值测试结果为 13800，如图 12 所示。

同时对陀螺的标度因子、量程进行了测试。将 MEMS 陀螺置于转台，角速度分别设定为  $\pm 1^\circ/\text{s}$ 、 $\pm 2^\circ/\text{s}$ 、 $\pm 5^\circ/\text{s}$ 、 $\pm 10^\circ/\text{s}$ 、 $\pm 20^\circ/\text{s}$ 、 $\pm 50^\circ/\text{s}$ 、 $\pm 100^\circ/\text{s}$ 、 $\pm 200^\circ/\text{s}$ 、 $\pm 500^\circ/\text{s}$ 、 $\pm 1000^\circ/\text{s}$ 、 $\pm 2000^\circ/\text{s}$ 、 $\pm 4000^\circ/\text{s}$  时测试陀螺的输出，如图 13 所示。根据测试，搭配 ASIC 电路的 MEMS 环形陀螺的标度因子为 32LSB/ ( $^\circ/\text{s}$ )，量程为  $\pm 4000^\circ/\text{s}$ 。

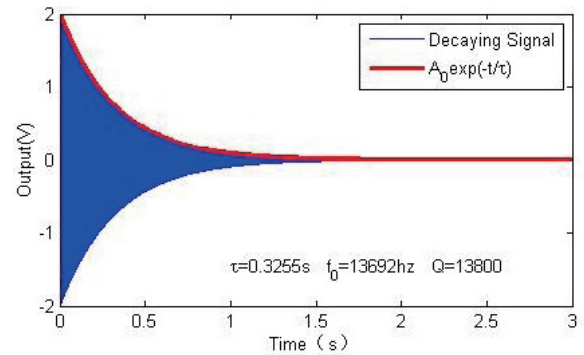


图 12 Q 值测试的振铃信号  
Fig.12 Ring-down signal of Q factor testing

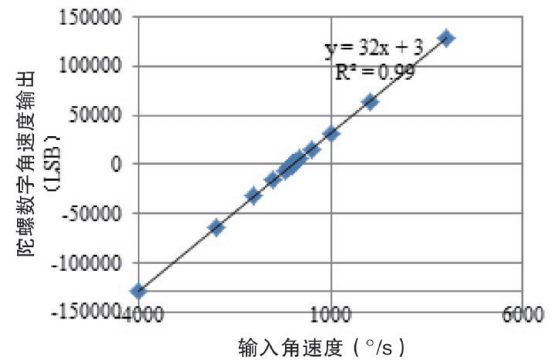


图 13 标度因子与量程测试  
Fig.13 Testing data of scale factor and measurement range

在静态条件下对陀螺输出信号进行了采集，如图 14 所示，基于标准差计算了陀螺的零偏稳定性为  $7^\circ/\text{hr}$ 。

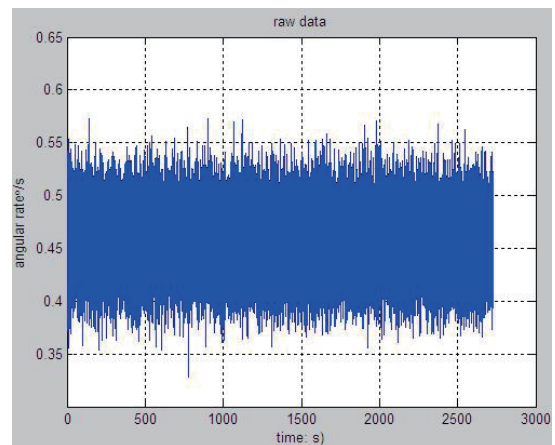


图 14 静态下陀螺输出实时数据采集  
Fig.14 Real time data of gyroscope output in static situation

### 2.2 过载试验

飞行搭载试验是对陀螺抗过载性能最真实的检

验。本文的 MEMS 环陀螺采用了实弹搭载试验对陀螺的过载性能进行了测试。MEMS 环形陀螺和参考陀螺同时安装在实验弹上进行了对比测试。该实验弹的发射阶段的最大过载加速度为 8000G，在途飞行时间 42s，在飞行过程中对陀螺进行了上电测试，飞行过程中的角速度如图 15 所示。经过发射阶段的过载冲击后，陀螺仍能够正常工作，且飞行过程中检测角速度输出与参考陀螺的输出完全一致。

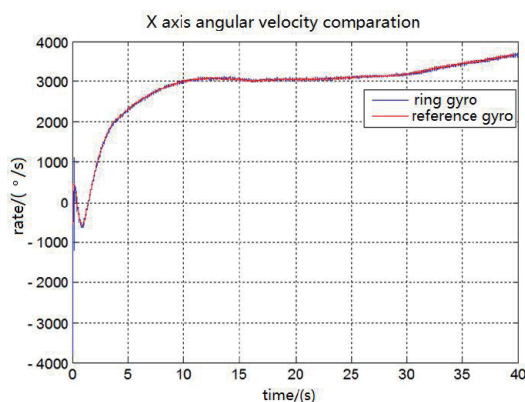


图 15 实弹飞行测试数据

Fig.15 Data of gyroscope output during flying

## 3 结束语

本文设计了一款抗高过载的 MEMS 环形陀螺。对陀螺在特定冲击加速度下的局部最大应力进行了仿真，并得到最大应力与结构尺寸的关系。依据仿真结果对陀螺的结构尺寸进行了优化，获得理想的抗过载性能。在加工后对陀螺进行了测试，陀螺性能满足量程  $\pm 4000^\circ/\text{s}$ 、零偏稳定性  $7^\circ/\text{hr}$ 。对 MEMS 环形陀螺进行了实弹飞行测试，在经过发射阶段的最大 8000G 过载冲击后，陀螺仍然能够正常工作，充分验证了该陀螺在实弹应用中的抗过载能力。

**致谢：**感谢北京微电子技术研究所王恪良、邬君等人的支持。

## 参考文献 (References)

- [1] 曹慧亮, 张英杰, 寇志伟, 石云波, 唐军, 刘俊. 抗高过载微机械陀螺仪研究综述 [J]. 河北科技大学学报, 2018, 39(4): 289–298.  
Cao Huiliang, Zhang Yingjie, et al. Research overview

of anti-high overload MEMS gyroscope [J]. Journal of Hebei University of Science and Technology, 2018, 39(4): 289–298

- [2] ST Microelectronics. LSM9DS1 INEMO inertial Module Product Datasheet [EB/OL].[2018-01-17] <http://www.st.com>.
- [3] KARNICK D, BALLAS G, KOLAND L, et al. Honeywell gun-hard inertial measurement unit (IMU) development [C]//IEEE PLANS, Position Location and Navigation Symposium. [S.l.]: [s.n.],2004: 49–55.
- [4] KARNICK D, TROSKE T, KOLAND L, et al. Honeywell gun-hard inertial measurement unit (IMU) development [C]//Proceedings of the institute of navigation, National technical meeting [S.l.]: [s.n.],2007: 718–724.
- [5] LYU Y P, WU X SH, ZHANG W P, et al. Optimization and analysis of novel piezoelectric solid micro-gyroscope with high resistance to shock [J]. Microsyst Technol, 2010, 16(4): 571–584.
- [6] ZHOU J, JIANG T, et al. design and fabrication of a micromachined gyroscope with high shock resistance [J]. Microsyst Technol, 2014, 20: 137–144.
- [7] BRYAN G H. On the beats in vibrations of a revolving cylinder or bell [J]. Proc. Camb. Phil. Soc. Math. Phys Sci., 1890, 7(1): 101–111.
- [8] BURDESS J S. Electrostatic excitation of axisymmetric shell resonators [J]. Sound Vibration, 1986, 2(1): 271–280.
- [9] LYNCH D D. Hemispherical resonator gyro [J]. Trans. Aerosp. Electron. System, 1984, 4(1): 432–433.
- [10] LOPER E J and LYNCH D D. Hemispherical resonator gyro— Status report and test results [C]//Proc. Institute of Navigation National Technical Meeting, San Diego, CA, 1984: 105–107.



## 作者简介:

王浩(1988—), 男, 四川省巴中市通江县人, 硕士, 工程师, 主要从事 MEMS 传感器及处理电路设计。

# 静电驱动微执行器吸合电压的计算与应用

何长运<sup>1</sup>, 阮勇<sup>2</sup>, 刘通<sup>1</sup>, 周祥亮<sup>1</sup>, 宋志强<sup>1</sup>

(1. 淄博高新技术产业开发区 MEMS 研究院, 山东 淄博 255000; 2. 清华大学精密仪器与机械学系, 北京 100084)

**摘要:** 本文基于静电场和弹性薄板理论, 对微机电系统 (MEMS, Micro-Electro-Mechanical System) 中常见的静电型悬臂梁式执行器的吸合现象进行了理论分析。借助有限元软件 COMSOL 完成了吸合电压的计算并与实际测试结果进行了对比, 误差控制在 10% 以内, 验证了该计算模型的可行性。在悬臂梁面积不变的情况下, 利用该模型研究了悬臂梁厚度和极板间隙对吸合电压的影响, 结果表明厚度和间隙对吸合电压的影响呈非线性规律, 可以对后续执行器的设计提供理论依据。

**关键词:** MEMS; COMSOL; 吸合电压; 非线性

**中图分类号:** TM 581 **文献标识码:** A

## Calculation and Application of Pull-in Voltage Model for Electrostatic Micro Actuator

He ChangYun<sup>1</sup>, Ruan Yong<sup>2</sup>, Liu Tong<sup>1</sup>, Zhou Xiangliang<sup>1</sup>, Song Zhiqiang<sup>1</sup>

(1. MEMS Institute of Zibo Hi-tech Industrial Development Zone, Zibo, 255000, China; 2. Department of Precision Instruments and Mechanology, Tsinghua University, Beijing, 100084, China)

**Abstract:** Based on the theory of electrostatic field and elastic thin plate, this paper analyzes the pull-in phenomenon of electrostatic cantilever actuator in Micro-Electro-Mechanical System (MEMS). With the help of the finite element software COMSOL, the pull-in voltage is calculated and compared with the actual test results. The error is controlled within 10%, which verifies the feasibility of the calculation model. Under the condition of constant cantilever area, the influence of cantilever thickness and plate gap on pull-in voltage is studied by using the model. The results show that the influence of thickness and gap on pull-in voltage is nonlinear, which can provide a theoretical basis for subsequent actuator design.

**Key words:** MEMS; COMSOL; pull-in voltage; nonlinear

## 0 引言

MEMS 执行器具有体积小、功耗低、响应快和易于电路集成等特点, 可以广泛应用于通讯、宇航、自动化仪器和汽车等领域, 能够大大降低系统成本, 提高工作效率<sup>[1,2]</sup>。吸合电压是静电型 MEMS 微执行器的主要技术指标之一, 低吸合电压不仅可以降低器件对外部驱动电路的要求, 拓展其应用场合<sup>[3]</sup>, 而且可以提高其可靠性<sup>[4,5]</sup>。在面积一定的情况下, 吸合电压受悬臂梁刚度和极板间隙的影响, 刚度过低或间隙过小不仅抗冲击性能差, 环境温度适应低, 而且容易发生微焊接失效, 而刚度过高或间隙过大又会带来吸合电压高, 结构响应慢和工作寿命短等问题<sup>[6-8]</sup>。吸

合电压已成为制约许多 MEMS 器件在诸多领域如航空航天中商品化应用的关键问题, 受到广泛关注<sup>[9-11]</sup>, 因此吸合电压的计算及其受各因素影响的规律是微执行器的重要研究方向之一。

在本文研究中, 首先对吸合电压进行了理论分析, 借助有限元软件 COMSOL 建立了吸合电压的仿真模型, 并对仿真值和实测值进行了对比, 误差控制在 10% 以内, 验证了该仿真模型的可行性, 利用该模型研究了悬臂梁厚度和极板间隙对吸合电压的影响规律, 为执行器在各个领域中的优化提供了理论依据。

## 1 基本理论

如图 1 所示, 静电型微执行器由可动电极、固定

电极和信号电源组成。可动电极和固定电极之间形成平行板电容，当极板间未施加电压时，可动电极处于初始位置，执行器处于断开状态；当极板间施加电压时，电容极板进行电荷累积，极板间形成电场，可动电极在静电力作用下有向下运动的趋势，当静电力达到一定程度时，可动电极向下弯曲并与信号源发生接触，此时信号电源左右导通，执行器处于导通状态<sup>[12]</sup>。

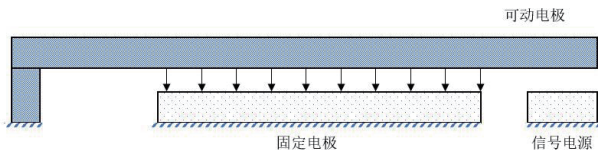


图1 静电型微执行器原理图

Fig.1 Schematic diagram of electrostatic micro actuator

电容器存储的能量为：

$$W = \frac{1}{2} VQ = \frac{1}{2} V^2 C \quad (1)$$

式中电容  $C$  为：

$$C = \frac{\varepsilon A}{d} \quad (2)$$

式中  $A$  为两极板交叠面积， $\varepsilon$  是真空介电常数， $d$  是极板间初始间隙。

根据 (1)、(2) 可得电容器存储能量与电容极板距离之间的关系为：

$$W = \frac{1}{2} V^2 \frac{\varepsilon A}{d} \quad (3)$$

对上式  $d$  求一阶偏导，可得到极板之间的静电吸引力  $F_e$  为：

$$F_e = \frac{\partial W}{\partial d} = \frac{1}{2} V^2 \frac{\varepsilon A}{d^2} \quad (4)$$

在静电吸合过程中，假设电压缓慢变化即不考虑极板的震荡，同时忽略惯性阻尼等因素的影响，可动电极受静电力有向下运动的趋势，则悬臂梁会产生弹性力来与静电力平衡，假设极板间隙减小  $x$ ，此时系统达到平衡，则：

$$F_e = \frac{1}{2} V^2 \frac{\varepsilon A}{(d-x)^2} = kx \quad (5)$$

将上式整理成关于  $x$  的函数：

$$x^3 - 2dx^2 + d^2x = \frac{A\varepsilon V^2}{2K} \quad (6)$$

当系统处于平衡时，做功为零，对 (6) 两端分别对  $x$  求导得：

$$3x^2 - 4dx + d^2 = 0 \quad (7)$$

最终的平衡位置和吸合电压为：

$$x_p = \frac{d}{3} \quad (8)$$

$$V_p = \sqrt{\frac{8kd^3}{27\varepsilon A}} \quad (9)$$

由上式可知，可动极板向下运动至间隙  $1/3$  处，为静电力和机械回复力平衡的临界位置，如果静电力仍持续增大，两极板将迅速吸合直到接触到一起。

## 2 仿真模型的建立与验证

本文主要针对 MEMS 继电器建立仿真模型，器件主体结构采用单端固定式悬臂梁，悬臂梁主要由镂空的悬簧、静电驱动极板和触点构成，如下图 2 所示，镂空的悬簧能够使悬臂梁的刚度在一个合理区间内，为 MEMS 继电器提供合适的回复力，以保证较低的驱动电压、较高的稳定度以及较小的开断延时。

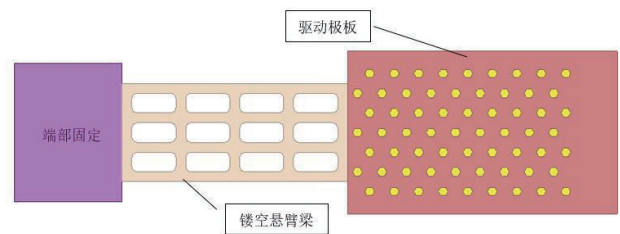


图2 MEMS 继电器结构示意图

Fig.2 Structure diagram of MEMS relay

针对 MEMS 继电器建立有限元模型，采用固体力学 + 静电模块来模拟静电吸合作用，为保证计算精度，整体网格采用六面体，由于悬臂梁在厚度方向发生变形，因此厚度方向上网格应保证在 3 层以上，端部采用固定约束，由于受力较小且对整体影响较小，为提高计算效率，此处网格可做粗化处理，整体网格分布如下图所示：



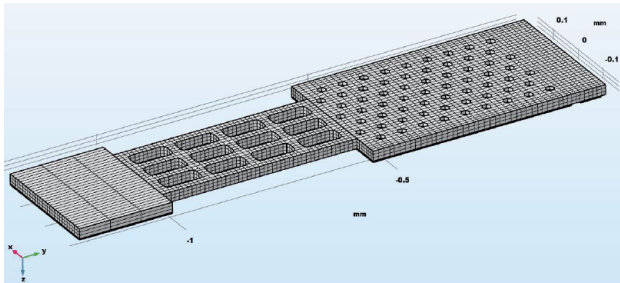


图 3 MEMS 继电器网格示意图  
Fig.3 Schematic diagram of MEMS relay grid

对极板电压参数化求解,可获得悬臂梁在不同电压下的应力和位移分布,如下图 4 所示为悬臂梁在指定电压下的应力分布云图,悬臂梁根部应力集中,最大等效应力为 3.8MPa,远小于极限值,吸合过程中不会出现永久性变形。当极板位移超过平衡位置时(此处间隙为 1.5 $\mu\text{m}$ ),两极板会发生迅速吸合,此时极板位移梯度较大,会出现明显拐点,如下图 5 所示,在电压 7.8V 处端点位移出现明显转折,此时端点位移为 0.47 $\mu\text{m}$ ,与理论值 0.5 $\mu\text{m}$  比较接近。

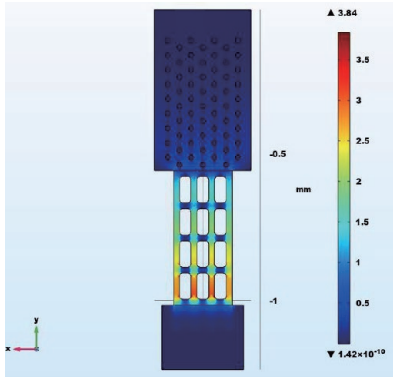


图 4 继电器等效应力分布云图  
Fig.4 Nephogram of equivalent stress distribution of relay

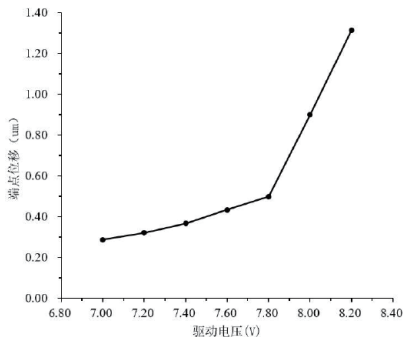


图 5 吸合电压与悬臂梁端点位移的对应关系  
Fig.5 Corresponding relationship between pull in voltage and cantilever end point displacement

为验证仿真模型的准确性,需对实际产品进行测试,实际产品结构如下图 6 所示。测试设备采用美国 Semiprobe 手动探针台、美国 Keithley 半导体分析仪,测试方法使用 2 路探针分别接触继电器驱动电极与输入端,另外 2 路探针接地,分别连接半导体分析仪的 SUM1、SUM2 及接地端,施加电压,使输入电压从 0 开始增加至继电器动作,并测量规定的工作电压值,测试结果如下图 7 所示。

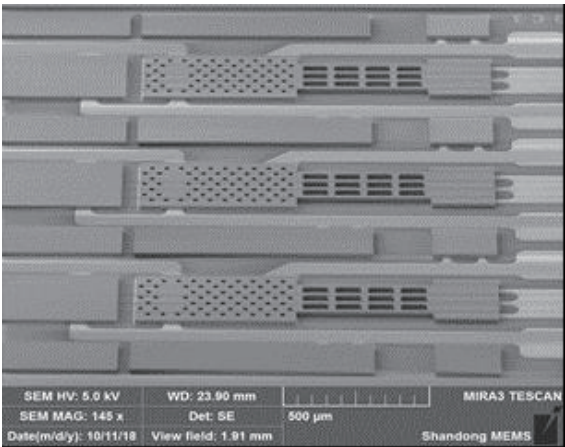


图 6 继电器加工结构  
Fig.6 Relay processing structure

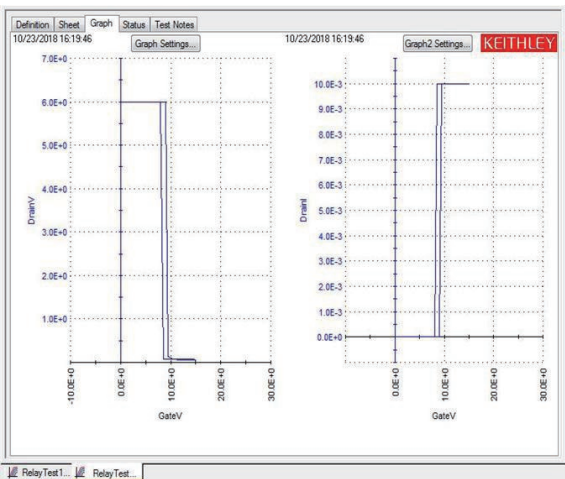


图 7 继电器测试结果  
Fig.7 Relay test results

为保证测量结果的准确性,需对多组产品进行测量并与仿真值进行对比,如下图 8 所示,仿真值与测试值比较接近,最大误差不超过 10%,因此该计算吸合电压的仿真模型是可行的。

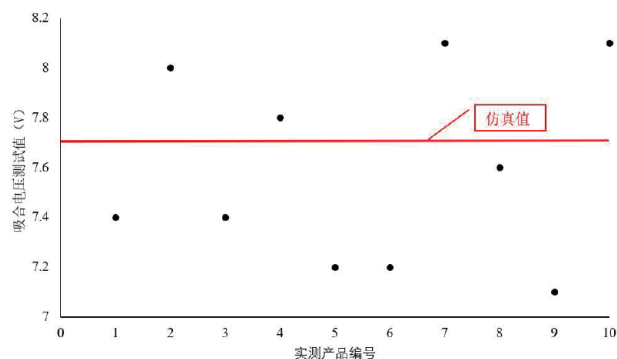


图 8 吸合电压测试值与仿真值对比

Fig.8 Comparison between test value and simulation value of pull in voltage

## 3 吸合电压模型的应用

如前文所提,在面积一定的情况下,吸合电压主要受悬臂梁刚度和极板间隙的影响,为了经济高效的研究其影响规律,本节借助已经验证的吸合电压仿真模型进行,对影响因素采用控制变量法即其他参数保持不变只改变单一因素的量值,观察吸合电压的变化量。悬臂梁刚度主要受厚度影响,本次主要研究吸合电压随悬臂梁厚度的变化规律,如下图 9 所示,吸合电压随悬臂梁厚度的增加而增大,且呈非线性趋势即随着厚度的增加,吸合电压加速增大而并非均匀增大。

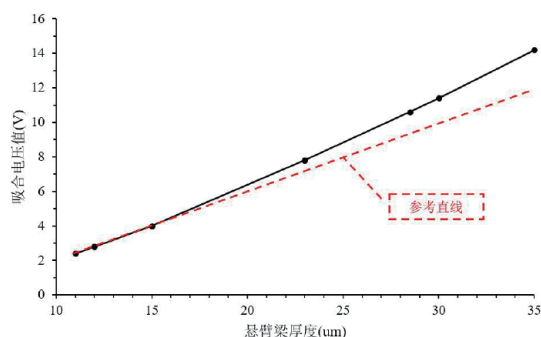


图 9 不同悬臂梁厚度下的吸合电压分布

Fig.9 Pull in voltage distribution of different cantilever thickness

吸合电压随极板间隙的变化规律如下图 10 所示,吸合电压随极板间隙的增大而增大,变化规律接近直线,由第二节理论推导可知,吸合电压与间隙的 1.5 次幂成正比,仿真计算规律同理论公式相接近。

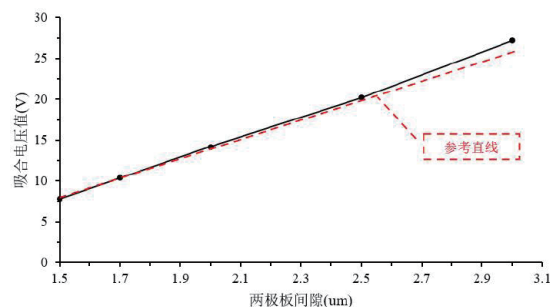


图 10 不同极板间隙下的吸合电压分布

Fig.10 Pull in voltage distribution under different plate gaps

## 4 结束语

本文对静电驱动微执行器的吸合电压进行了理论推导,借助 COMSOL 有限元软件建立了吸合电压的仿真模型,并与实际测试进行了对比,误差控制在 10% 以内,因此建立的仿真模型是可行的。利用仿真模型研究了悬臂梁厚度和极板间隙对吸合电压的影响规律,吸合电压随影响因素的增大呈非线性增长,利用多项式可对变化规律进行拟合,为后续执行器在各种使用环境下的优化提供理论依据。

致谢:感谢山东博华电子科技有限公司的器件加工。

## 参考文献 (References)

- [1] ZHANG W M, YAN H, PENG Z K, et al. Electrostatic pull-in instability in MEMS/NEMS: A review[J]. Sensors and Actuators A: Physical, 2014, 214(4): 187–218.
- [2] ZHANG Y, LI D. Fabrication and simulation of an electromagnetic microrelay, Chinese Journal of Semiconductors[J], 2002, 2: 1298–1302.
- [3] ZIDAN M A, KOSEL J, SALAMA K N. Low pull-in voltage electrostatic MEMS switch using liquid dielectric[C], //Proceedings of the 2014 IEEE 57th International Midwest Symposium on Circuits and Systems, 2014: 169–172.
- [4] GOLDSMITH C, EHMKE J, MALCZEWSKI A, et al. Lifetime characterization of capacitive RF MEMS switches[C], //Proceedings of the 2001 IEEE Mtt-s

- International Microwave Symposium Digest, 2001, 1-3: 227-230.
- [5] SHARMA J, DASGUPTA A. Effect of stress on the pull-in voltage of membranes for MEMS application[J]. Journal of Micromechanics and Microengineering, 2009.
- [6] EMST T, EMST O. A fast switching surface micromachined electrostatic relay[A]. Microsensor and Actuator Technology (MAT), The 12th International Conference on Solid State Sensors, Actuators and Microsystems[C]. Boston. USA, 2003: 899-902.
- [7] WONG J. E. Analysis design fabrication and testing of a MEMS switch for power applications. ProQuest Dissertations and Theses, 2000.
- [8] LI J, BRENNER M P, CHRISTEN T, et al. Deep-reactive ion-etched compliant starting zone electrostatic zipping actuators.//Journal of Micromechanics and Microengineering, 2005.14(6): 1283-1297.
- [9] REBEIZ G M. RF MEMS theory, design, and technology[M]. New York, John Wiley & Sons, 2003.
- [10] MUNIRAJ N J R, SATHESH K. Design of MEMS switch for RF applications [J]. Microsystem Technologies, 2011, 17(1): 161-163.
- [11] RAHMAN H U, CHAN K Y, RAMER R. Cantilever beam designs for RF MEMS switches [J]. Journal of Micromechanics and Microengineering, 2010, 20(7): 075042.
- [12] Chang Liu 著, 黄庆安译. 微机电系统基础 [M]. 机械工业出版社, 2007.



#### 作者简介:

何长运(1988—),男,山东淄博人,硕士研究生,机械工程专业,目前从事的研究方向是:MEMS器件性能和可靠性仿真计算。

# 基于 Cu-Sn 共晶的晶圆级键合工艺研究

霍瑞霞, 吴道伟, 刘万胜, 李宝霞

(西安微电子技术研究所, 陕西 西安 710000)

**摘要:** 在 3D 系统封装技术中, 共晶键合是实现多层芯片堆叠和垂直互连的关键技术, 本文研究从电镀金属层厚度、晶圆表面预处理清除氧化层、晶圆间互对准、晶圆键合的温度、压力均匀性及键合过程的偏移等方面进行优化, 表明在等离子体处理及柠檬酸清洗的预处理条件下, 得到的金属表面无氧化层, 在 0.135Mpa, 温度 280℃, Sn 厚度 3-4μm, Cu 厚度 5μm 条件下键合得到的 Cu/Sn 凸点, 键合推晶强度 > 18kg/cm<sup>2</sup>, 键合界面接触电阻平均约为 3.35mΩ, 键合良率 100%, 各项性能指标均满足并优于行业标准。

**关键词:** Cu/Sn 凸点; 晶圆级; 共晶键合; 金属间化合物

**中图分类号:** V19 **文献标识码:** A

## Bonding Technology Research of Wafer Level Based on Cu-Sn Eutectic

Huo Ruixia, Wu Daowei, Liu Wansheng, Li Baoxia

(Xi'an institute of microelectronics technology, Xi'an, 710000, China)

**Abstract:** In 3D system packaging technology, the eutectic bonding is the key technology to realize multilayer chip stack and vertical interconnection. It is optimized from the thickness of metal plating layer, the surface pretreatment of the wafer to remove oxide layer, each other between the wafer alignment, the uniformity of temperature, pressure of wafer bonding and the migration of wafer bonding process. It shows that push bond strength of crystal > 18 kg/cm<sup>2</sup>, average bonding interface contact resistance is about 3.35mΩ, and bonding yield 100% of bonding Cu-Sn bumps under the condition of the plasma treatment and the pretreatment of the citric acid cleaning, metal surface without oxidation layer, the pressure of 0.135 Mpa, the temperature is 280℃, the thickness of the Sn is 3-4 μm and Cu is 5μm, and all performance indicators meet and exceed the industry standards.

**Key words:** Cu-Sn bumps; wafer grade; eutectic bonding; intermetallic

## 0 引言

基于硅通孔 (through-silicon vias, TSV) 的立体集成技术通过制作垂直通孔实现同质或异质三维集成, 可大幅缩小芯片尺寸, 同时提高互连密度和电气性能, 特别是在网络大数据、内存制造以及 MEMS 系统等领域具有广阔应用前景, 现在已成为最具发展潜力的第四代先进封装技术, 其中键合技术是实现 3D 集成及封装的关键技术之一, 凸点和无凸点互连是两种主流互连方式<sup>[1, 2]</sup>。无凸点互连指上下两个包含互联层和绝缘层的结构直接键合, 一般用于键合间距小于 10μm 的结构; 凸点互连指在互连层上制作凸点进行键合, 实现上下两个芯片的互连。封

装对可靠性的影响不可避免, 3D 集成键合过程由超细间距微凸点互连引发的可靠性问题将变得更加严峻。

目前可实现 3D 键合方案的技术包括金属-金属直接键合和焊料键合等<sup>[3, 4]</sup>。金属-金属直接键合主要基于高温高压下两个键合面间原子互相扩散实现 (如 Au-Au, Cu-Cu), 键合时间较长, 键合温度较高, 一般在 400℃ 以上。此工艺条件在 TSV 后通孔流程中, 会使得预先埋置的器件遭受严重热冲击, 可能出现失效, 此外高温会使内部 TSV 结构产生较大热应力, 极易出现变形与断裂, 器件可靠性、器件制造良率、技术适用程度将会受到极大压力<sup>[5]</sup>。焊料键合通过对低熔点金属或金属合金 (如 Sn, In/Sn)



进行加热、熔化、回流、浸润实现键合，避免了高温工艺的负面影响，但是工艺过程易回熔，键合过程可逆，同样无法应用于 TSV 立体集成<sup>[6]</sup>。

为此，本文针对高密度 Cu/Sn 微凸点共晶键合工艺进行研究。在 8 英寸（700 $\mu\text{m}$ ）圆片上沉积 1 $\mu\text{m}$   $\text{SiO}_2$  绝缘层，再用 PVD 溅射 RDL Ti/Cu 0.1/0.4 $\mu\text{m}$ ，并进行图形化，同时设计带有菊花链的凸点键合测试图形，利用双面对准和键合技术在 280 $^\circ\text{C}$  低温条件下成功获得熔点超过 675 $^\circ\text{C}$  的金属间化合物键合层。且通过对键合材料、结构和版图的设计与优化，实现了器件的低电阻连接，并获得较高的可靠性。

## 1 实验方法

本文设计了键合材料体系、键合层结构、圆片光刻图形，优化了键合工艺，实现了大尺寸晶圆级 Cu/Sn 共晶键合。

### 1.1 版图设计

为了实现对键合产品进行电性能测试，对上下两块 8 寸 Si 片分别设计不同的键合图形。其中一面为凸点尺寸设计为直径 40 $\mu\text{m}$ 、间距 20 $\mu\text{m}$  的圆形凸点，每间隔 6 个微凸点就有带菊花链的串联凸点作为电路导通使用，其局部阵列如图 1。另一面除有第一面的设计外，增加了 Pad 设计，串联在菊花链上，为点测使用，其局部阵列如图 2 所示。其中每面均包括 92 颗 Die，每颗 Die 的面积均为 18.72mm $\times$ 18.72mm，每颗 Die 包含凸点数量 44100 个，菊花链上有 3178 个凸点。

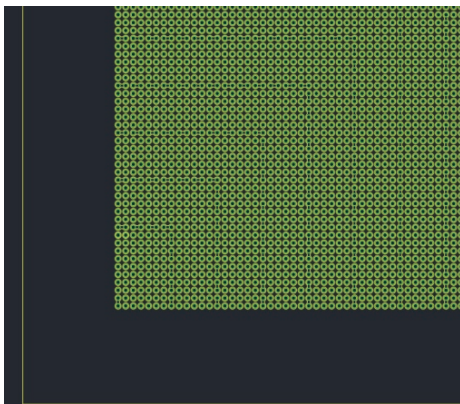


图 1 晶圆仅带凸点及菊花链局部阵列

Fig.1 Partial array of wafers with only bumps and daisy chains

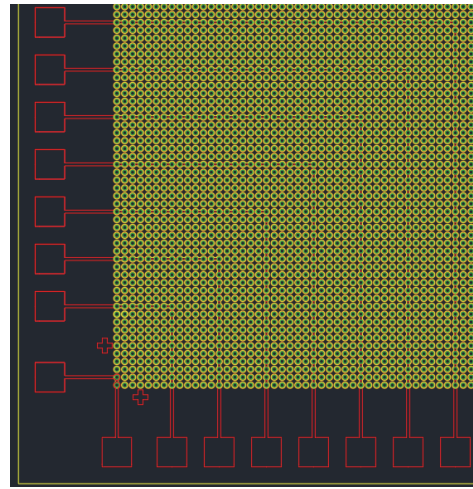


图 2 晶圆带 Pad、凸点及菊花链局部阵列

Fig.2 Partial array of wafers with pads, bumps and daisy chains

### 1.2 样品制作

首先准备 2 个 8 寸、700 $\mu\text{m}$  的 Si 晶圆分别作为需要键合的 Top 和 Bottom，分别在表面沉积 1 $\mu\text{m}$  厚的  $\text{SiO}_2$  作为绝缘层；然后，再用 PVD 溅射 RDL Ti/Cu 0.1/0.4 $\mu\text{m}$ ，其中 Ti 充当粘附层和阻挡层，Cu 充当电镀种子层，然后光刻确定微凸点开口区域，并通过电镀将 Cu 层厚度增至 4 $\mu\text{m}$ ；之后再行凸点图形化，电镀键合层金属，其中电镀 Cu 厚 5 $\mu\text{m}$ ，Sn 厚 4 $\mu\text{m}$ 。电镀完成之后，剥离凸点以外的种子层；2 片待键合晶圆制作完毕。

### 1.3 键合工艺

Cu/Sn 键合工艺过程主要包括 3 个步骤<sup>[7]</sup>：

(1) 键合前样品预处理：1) 等离子清洗；2) 柠檬酸冲洗后，再用 IPA 清洗、甩干；3) 烤箱烘干；为了得到最优的前处理工艺参数，对比了不同的前处理工艺条件（参数设置见表 1）；

(2) 样品对准：表面处理完成后，使用晶圆对准机，完成上下两层待键合样片的对准；

(3) 晶圆级键合：将预对准后的晶圆治具放在晶圆键合机的承载台上，选取需要使用的 Recipe 进行键合；为了得到最优的键合参数，对比了不同的键合温度和压力，及持温持压时间（参数设置见表 2）。

表 1 键合前清洗预处理参数设置表

Tab.1 Parameters setting of different cleaning pretreatment before bonding

组号	等离子清洗	柠檬酸清洗	IPA 清洗	烤箱烘烤	
	气体	t/min	t/min	t/min	T/℃ t/min
1	—	—	10	5	150 10
2	Ar、N <sub>2</sub> 、H <sub>2</sub>	5	10	5	150 10
3	Ar、N <sub>2</sub> 、H <sub>2</sub>	5	10	5	— —

表 2 晶圆级键合参数设置表

Tab.2 Parameter settings of wafer-level bonding

组号	键合前预处理			预键合			键合		
	气体	T/℃	t/min	F/N	T/℃	t/min	F/N	T/℃	t/min
1	—	150	2	—	—	—	7000	280	25
2	H <sub>2</sub>	150	2	—	—	—	7000	280	25
3	H <sub>2</sub>	150	2	7000	240	5	7000	280	25

几组不同的键合前清洗预处理参数设置如表 1 所示，其中等离子清洗，主要气体为 Ar、N<sub>2</sub>、H<sub>2</sub>，目的是去除表面氧化物和残余杂质；柠檬酸与表面氧化层反应后，再用 IPA 清洗、甩干，以带走表面残留药液及水分。其中第 3 组为较佳前处理工艺。不进行烘烤是为了防止烤箱烘烤过程对表面的氧化。

几组不同的晶圆级键合参数设置如表 2 所示，其中第 3 组为最优化的晶圆级键合参数。图 3 为最优化键合参数在键合过程中所体现的键合温度曲线图。键合过程如下：（1）为弥补清洗预处理未烘烤，直接将这一步骤迁移到键合机中进行，为有效防止氧化现象，通入还原性混合气体 N<sub>2</sub>、H<sub>2</sub>，并将温度升高到 150℃ 进行预处理，除去样品表面潮气；（2）然后升温升压到 240℃、压力 7000N，进行预键合 5min；（3）之后压力持续不变，升温到 280℃，Cu/Sn 完全浸润并形成金属间化合物，进行完全键合；（4）冷却：因 Si 片以及不同金属间热膨胀系数不同，所以为了减小热应力，要以较低速率缓慢降到 150℃，再抽真

空，充入 N<sub>2</sub> 破真空。

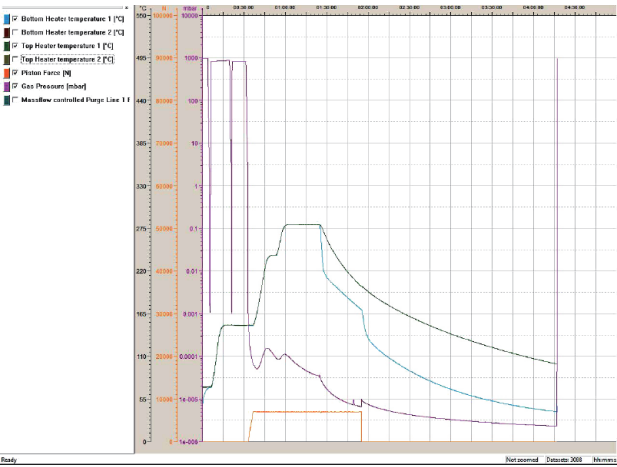


图 3 键合过程曲线图

Fig.3 Curve of bonding process

## 2 键合结果分析

将键合后的圆片按照标记进行划片，并将整个晶圆划分为五个区，分别选取各区芯片单元进行扫描电镜（SEM）观察、推力测试和电性能测试实验。

### 2.1 SEM 检测

图 4 显示了键合实验获得的键合界面，可以看出整个界面可以分为三层，上下两层为电镀 Cu 层，中间为固液扩散生长的 IMC 层，无孔洞、缝隙、裂纹。图 5 对图 4 中 Spot1、4 进行 EDS 分析，Cu 原子数与 Sn 原子数量比约为 11:3。之后对不同键合区域凸点截面进行成分分析，与 Cu<sub>3</sub>Sn 的原子比基本接近，所以判定中间层为 Cu<sub>3</sub>Sn，由于 Cu<sub>3</sub>Sn 和 Cu 具有相近的密度，当 Cu<sub>3</sub>Sn 在 Cu 表面生长时，体积变化很小，可生成致密的结构，合理的金属结构及键合优化条件，不会产生过多的 Cu<sub>6</sub>Sn<sub>5</sub>，避免了 Kirkendal 效应<sup>[8, 9]</sup>。另外，在 IMC 层中有一些白色亮点，如 Spot2、3，但并非孔洞，图 5 EDS 分析主要是 Ag 元素，这是因为电镀工艺中电镀 Sn 层并非纯 Sn，有一层薄 Ag 存在，但并没影响到 IMC 层的形成。

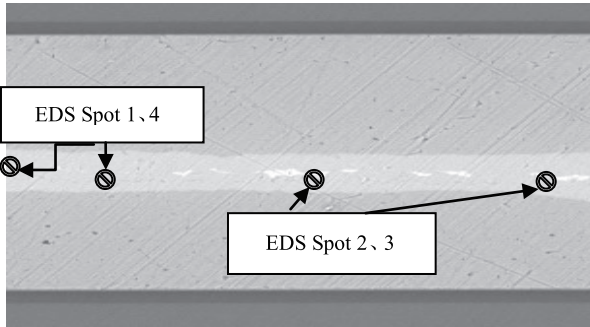


图 4 SEM 截图  
Fig.4 Photograph of SEM

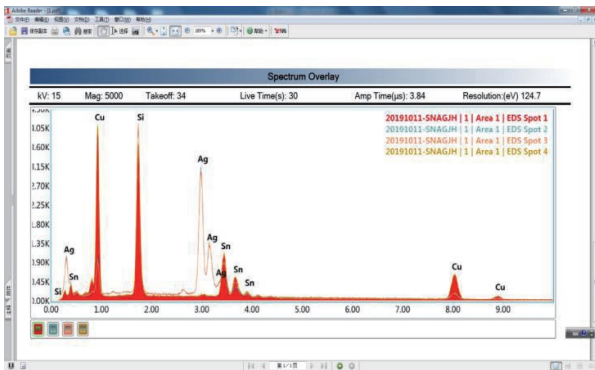


图 5 EDS 能谱图  
Fig.5 EDS spectrum

## 2.2 推晶力测试

通过推晶衡量半导体封装的机械可靠性。从整张晶圆任选不同的 Die，使用推球机进行键合强度测试，发现整面大面积结合力大于 20.23kg（单位面积 30.5kg/cm<sup>2</sup>）；满足键合推晶力大于 18kg/cm<sup>2</sup> 要求，如图 6 所示。说明 Cu/Sn 键合层的强度满足推晶力测试要求。

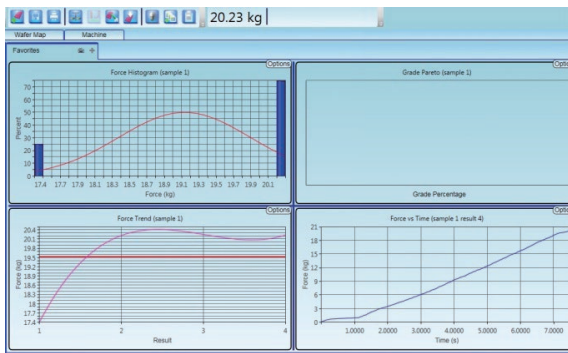
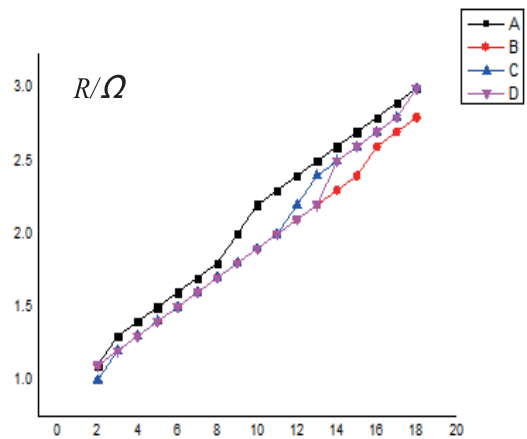


图 6 优化参数后的结合力测试结果图  
Fig.6 Result of binding test after optimization of parameters

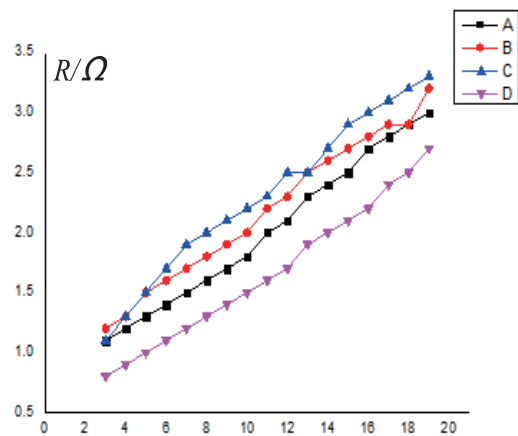
## 2.3 电性能测试

通过将直流信号加在菊花链两端的 Pad 上，对带菊花链的串联凸点进行电路导通测试，使用万用表测得串联电阻，并计算得到接触电阻值平均为 3.35mΩ。单颗 Die 共有 44100 个凸点，其中菊花链上有 3178 个，组成 68 条串联路线，均导通，导通率为 100%。各区菊花链随着串联凸点数的增加，其阻值与凸点数量呈线性增加的关系。图 7 为在一张键合后晶圆的 5 个区域分别选 5 颗 Die，对每颗 Die 进行 4 个区域测试并计算各条串联线路电阻而得到的凸点数量与电阻值的曲线图。针对上述键合结果计算了各对凸点的接触电阻，并作统计如图 8 所示。



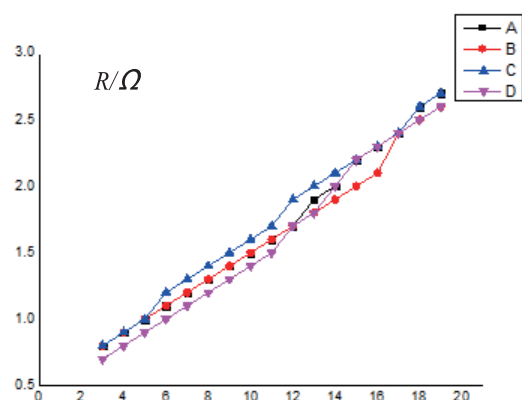
(a) 区域 1 中的 Die

(a) Die in reign1

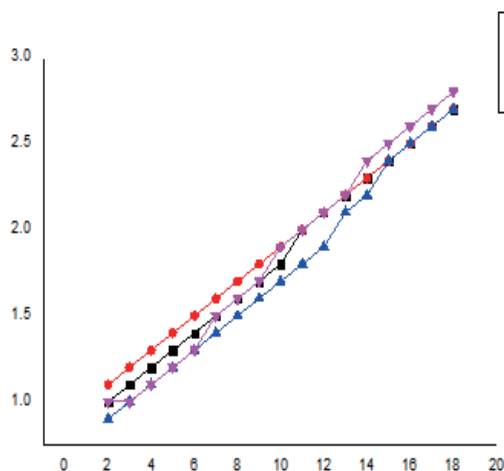


(b) 区域 2 中的 Die

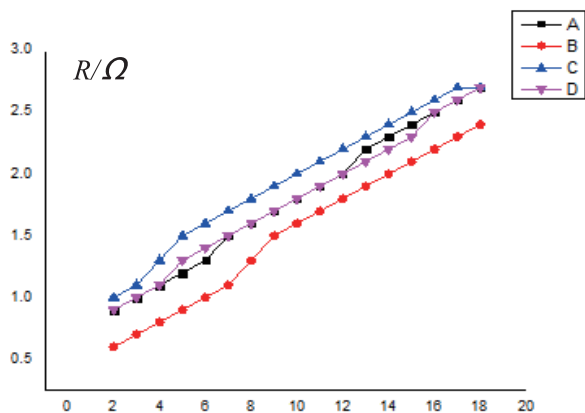
(b) Die in reign2



(c) 区域 3 中的 Die  
(c) Die in reign3



(d) 区域 4 中的 Die  
(d) Die in reign4



(e) 区域 5 中的 Die  
(e) Die in reign5

图 7 各区菊花链阻值曲线图

Fig.7 Resistance curve of daisy chain in each reign

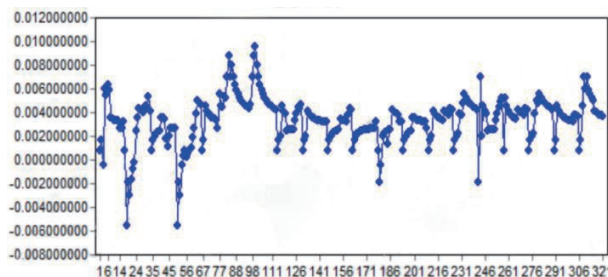


图 8 接触电阻的统计图

Fig.8 Statistics of contact resistance

另外，在键合后晶圆的 5 个区域分别随机抽取 2 颗 Die 进行可靠性实验，即高低温冲击 100 次（-65 ~ 150℃）和高温存储 1000h（150 + 10℃）后分别进行电性测试，测试后计算得接触电阻分别为 3.36mΩ、3.35mΩ。所测试 Die 中分布在菊花链上所有凸点均导通，导通率为 100%。说明键合实现了良好的电性能导通且具有较高的电、热可靠性<sup>[10,11]</sup>，其可靠性与单颗 Die 的金属键合效果一致。

## 3 结论

本文研究了一种晶圆级、高密度且不可逆的凸点共晶键合技术。基于 Cu/Sn 低温键合原理以及可测试电流导通性原理，设计了凸点键合的结构并通过优化工艺条件获得了结构致密、性能稳定的 Cu<sub>3</sub>Sn IMC 层，推晶测试结果表明键合强度达到并优于行业标准，其菊花链的电流导通率为 100%，老化试验后具有良好的热可靠性。表明本文所述的晶圆级 Cu/Sn 凸点键合技术能够满足晶圆级 TSV 立体集成和多芯片垂直互连的要求。

致谢：感谢航天科技集团科技委专业组专家的讨论及推荐。

## 参考文献 (References)

- [1] 吴际，谢冬青．三维集成技术的现状和发展趋势．现代电子技术，2014，37(6)：104-107.  
WU J, XIE D Q. Current situation and development trend of 3D Integration Technology. Modern electronic technology, 2014, 37(6): 104-107.
- [2] LU J. Wafer-level 3D hyper-integration technology



- platform. Presentation spring, 2005.
- [3] 李科成, 刘孝刚, 陈明祥. 用于三维封装的铜-铜低温键合技术进展. 电子元件与材料, 2015 (1).
- LI K C, LIU X G, CHEN M X. Development of Cu/Cu low temperature bonding technology for 3D Packaging. Electronic components and materials, 2015 (1).
- [4] GARROU P. Handbook of 3D integration: technology and applications of 3D integrated circuits, vol. 2. Wiley-VCH, 2008.
- [5] 吕亚平. 系统级封装多层堆叠键合技术研究. 华中科技大学硕士论文, 2014.
- LV Y P. Research on multilayer stack bonding technology for system level package. Master's thesis of Huazhong University of Science and Technology, 2014.
- [6] CHEN Y H, LO W C, KO C T, et al. 3D IC technology development and opportunities. EOL Publication, 2009.
- [7] 李和太, 李晔辰. 硅片键合技术的研究进展. 传感器世界, 2002, 8(9): 6-10.
- LI H T, LI H C. Research progress in silicon wafer bonding technology. Sensor world, 2002, 8(9): 6-10.
- [8] 王铁兵, 施建中, 谢晓明. Au/In等温凝固芯片焊接工艺研究[J]. 功能材料与器件学报, 1999, 5(4): 12.
- WANG T B, SHI J Z, XIE X M. Study on welding technology of Au/In isothermal solidification chip[I]. Journal of Functional Materials and Devices, 1999, 5(4): 12.
- [9] HE R, FUJINO A M, AKAIKE M, et al. Combined surface activated bonding using H-containing HCOOH vapor treatment for Cu/Adhesive hybrid bonding at below 200°C. Applied Surface Science, 2017, 414: 163-170.
- [10] ZUO Y, SHEN J, XU H, et al. Effect of different sizes of Cu nanoparticles on the shear strength of Cu-Cu joints. Materials Letters, 2017, 199: 13-16.
- [11] GROSS D, HAAG S, REINHOLD M, et al. Heavy copper wire-bonding on silicon chips with aluminum-passivated Cu bond-pads. Microelectronic Engineering, 2016, 156: 41-45.



#### 作者简介:

霍瑞霞(1985—), 女, 山西长治人, 硕士研究生, 工程师, 主要从事 TSV 立体集成工艺技术研究。

# 55nm 浮栅型与 SONOS 型 FLASH 单粒子效应试验研究

郭宣辰, 岳素格, 李建成, 周 涛, 查启超, 谢俊玲, 王 佳

(北京微电子技术研究所, 北京 100076)

**摘 要:** 航天电子系统对非易失性 FLASH 存储器的应用需求非常大, 但应用时空间辐射环境会对 FLASH 的可靠性造成影响。SONOS 存储器件基于分立电荷存储机制, 与传统浮栅存储器件相比抗辐射能力更强。本文对 2 款同为 55nm 先进工艺的非抗辐射加固浮栅型与 SONOS 型 FLASH 存储器开展了单粒子效应试验研究, 分析对比了 2 种存储器件本征的辐射特性。辐射试验结果表明: 未加电条件下, SONOS 型 FLASH 在线性能量传递值  $75.4\text{MeV} \cdot \text{cm}^2/\text{mg}$  的 Ta 离子辐射时, 存储单元翻转截面远小于浮栅型 FLASH。经过重离子辐射后, SONOS 器件的电荷保持能力所受影响也远小于浮栅器件。由此证明了 SONOS 型 FLASH 存储单元相比于浮栅型具备更强的抗单粒子翻转能力, 适于抗辐射加固 FLASH 存储器研制。

**关键词:** SONOS; FLASH; 单粒子效应; 重离子

中图分类号: TN406

文献标识码: A

## Research on Single Event Effect of 55nm Floating Gate Type and SONOS Type FLASH

Guo Xuanchen, Yue Suge, Li Jiancheng, Zhou Tao, Zha Qichao, Xie Junling, Wang Jia

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

**Abstract:** Aerospace electronic system has very large application requirements for non-volatile FLASH memory, but the space radiation environment will affect the reliability of FLASH during application. Silicon-Oxide-Nitride-Oxide-Silicon(SONOS) memory device is based on a discrete charge storage mechanism, and is more resistant to radiation than traditional floating gate memory device. In this paper we research on the single event effect(SEE) of both 55nm advanced process floating gate FLASH and SONOS FLASH without radiation hardening, analyze and compare the intrinsic radiation characteristics of the two memory devices. The radiation test results show that: In the no power state, the memory cell single event upset(SEU) cross section of SONOS FLASH is much smaller than that of floating gate FLASH during exposed to Ta ion radiation with a linear energy transfer(LET) value of  $75.4\text{MeV} \cdot \text{cm}^2/\text{mg}$ . After heavy ion radiation, the charge retention capability of SONOS device is much less affected than floating gate device. The radiation test proves that SONOS FLASH memory cell has stronger SEU resistant capability than the floating gate type, and is suitable for the development of the radiation hardened FLASH memory.

**Key words:** SONOS; FLASH; single event effect; heavy ion

## 0 引言

FLASH 存储器是一种非易失性存储器, 在掉电后能够保持所存储的数据不丢失, 并且有着高存储密度以及可重复擦写的优势。不仅在商用电子系统中广泛应用, 在军事与航天领域的应用需求也非常大。然而空间辐射环境中存在大量的质子、电子、重离子等粒子, 对航天电子器件造成威胁。高能粒子在入射到 FLASH 存储器后会发生能量损失、引发电离辐射效应, 严重时干扰 FLASH 存储器的正常工作, 对航

天电子系统的可靠性造成严重影响。

国内外已有许多针对 FLASH 存储器单粒子效应的相关研究<sup>[1-6]</sup>。在早期由于特征尺寸较大, FLASH 存储器的逻辑电路模块部分对单粒子辐射更为敏感, 容易发生单粒子翻转 (Single Event Upset, SEU)<sup>[1,2]</sup>, 而存储单元中的电荷总量较多, 因此没有出现存储单元 SEU 错误。但随着 FLASH 工艺不断发展, 单元尺寸不断缩小, 单元存储的电荷量也在逐渐减少, 在单粒子辐射下 FLASH 存储

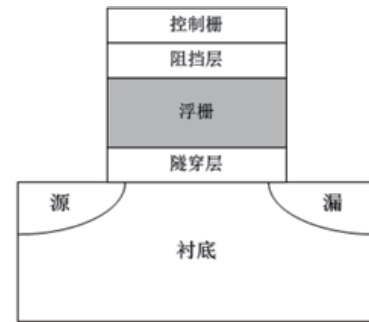
单元也出现了翻转现象<sup>[3-6]</sup>。研究者们对存储单元 SEU 错误的机理进行分析, Cellere 等人提出了瞬态导电路径 (Transient Conductive Path, TCP) 模型<sup>[4]</sup>, Butt 等人也提出了瞬态载流子通量 (Transient Carrier Flux, TCF) 模型<sup>[7]</sup>来对 FLASH 的存储单元 SEU 现象进行解释。

FLASH 存储器的主流工艺有浮栅型和 SONOS 型 2 种, 前者的电荷存储在导电的多晶硅浮栅层中, 而后的电荷存储在绝缘的氮化硅层中, 被深能级陷阱俘获。由于存储电荷方式的不同, SONOS 型 FLASH 比起浮栅型 FLASH 有着工作电压更低、单元尺寸更易缩小、可靠性不受氧化层单个缺陷的影响的优势, 抗辐射能力也天然更强一些<sup>[8]</sup>, 因此基于 SONOS 工艺进行宇航级抗辐射 FLASH 存储器的研制也更为适合。目前国内先进的浮栅型与 SONOS 型 FLASH 的工艺特征尺寸均达到 55nm, 在单粒子辐射下存储单元中电荷的丢失程度可能会进一步加剧, 对空间辐射环境中 FLASH 存储单元的数据可靠性造成严重威胁。本文针对 2 款非抗辐射加固的 55nm 工艺的浮栅型与 SONOS 型 FLASH 存储器进行了单粒子效应试验研究, 对比两种类型的存储器件本征的单粒子辐射特性, 为抗辐射 FLASH 存储器的研制提供支撑。

## 1 单粒子试验方法

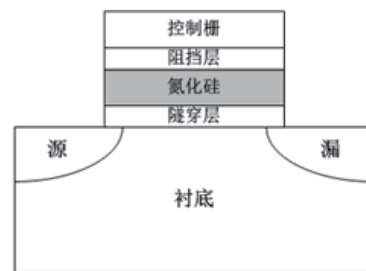
### 1.1 试验对象

本文的研究对象是 2 款非抗辐射加固的 55nm 工艺 NOR 型架构的 FLASH 存储器, 其中浮栅型存储容量为 128Mb, SONOS 型存储容量为 64Mb。2 款 FLASH 的存储器件结构如图 1 所示。当存储层中存在大量电子时器件处于编程态, 代表数据“0”; 反之器件处于擦除态, 代表数据“1”。区别于传统的浮栅器件利用多晶硅浮栅存储电荷的机制, SONOS 器件的电荷存储层采用富含电荷陷阱的绝缘氮化硅材料, 利用陷阱俘获电子或空穴以存储数据信息, 被俘获的电荷不易从陷阱中脱出, 因此在应力的作用下 SONOS 器件的存储数据可靠性会比浮栅器件更好。



(a) 浮栅器件

(a) Floating gate device



(b) SONOS 器件

(b) SONOS device

图 1 浮栅型与 SONOS 型 FLASH 存储器件结构

Fig.1 The structure of floating gate type and SONOS type FLASH memory devices

### 1.2 单粒子试验方案

本文利用重离子加速器开展高能量的单粒子效应辐射试验研究, 选择  $LET$  为  $75.4\text{MeV}\cdot\text{cm}^2/\text{mg}$  的 Ta 离子进行重离子辐射试验。

本文的研究目的是对比 2 种不同类型的 FLASH 存储单元的单粒子辐射特性。由于采用 2 款非抗辐射加固的芯片作为研究对象, 在高压重离子辐射下外围逻辑电路的辐射效应会造成干扰, 因此重离子试验过程中采取不加电偏置的条件来消除干扰, 更加直观地得到单粒子辐射对存储单元的影响。

具体的单粒子试验步骤如下: (1) 试验前对所有样片进行开盖处理, 并测试所有样片保证功能均正常。(2) 重离子辐射前进行上电初始化配置, 在样片中写入数据“5Ah”, 之后去掉偏置电压, 开始进行重离子辐射。离子总注量达到  $1.0\text{E}+07$  粒子/ $\text{cm}^2$  后停止辐射, 试验结束。(3) 重离子辐射后对样片

表 1 重离子试验结果  
Tab.1 Heavy ion test results

存储器件	试验条件	入射粒子	LET	注量率	粒子注量	存储单元 SEU 数	翻转截面
			MeV · cm <sup>2</sup> /mg	/cm <sup>2</sup> · sec	/cm <sup>2</sup>		cm <sup>2</sup> /bit
浮栅	不加电	Ta	75.4	1.4E+4	1.0E+7	99449	7.41E-11
SONOS	不加电	Ta	75.4	1.4E+4	1.0E+7	8	1.19E-14

表 2 重写数据后错误数变化  
Tab.2 Change in the number of errors after rewriting data

存储器件	擦除	重写数据常温放置的错误数			
		0h	6h	24h	168h
浮栅	正确	0	34	120	598
SONOS	正确	0	0	0	0

进行多次读取测试，统计样片的存储单元 SEU 错误数。（4）统计结束后对样片进行擦除并重写数据“5Ah”，在常温下不加电放置，并每隔一段时间对样片进行读取，统计重写数据的错误数。

2 单粒子试验结果

2 款 55nm 工艺的浮栅型与 SONOS 型 FLASH 存储器的重离子辐射试验结果如表 1 所示。在 LET 为 75.4MeV·cm<sup>2</sup>/mg 的 Ta 离子辐射下，浮栅型 FLASH 的 SEU 错误数为 99449 个，翻转截面为 7.41E-11cm<sup>2</sup>/bit；SONOS 型 FLASH 的 SEU 错误数为 8 个，翻转截面为 1.19E-14cm<sup>2</sup>/bit。所有 SEU 错误均为由 0 翻转至 1 的离散错误。

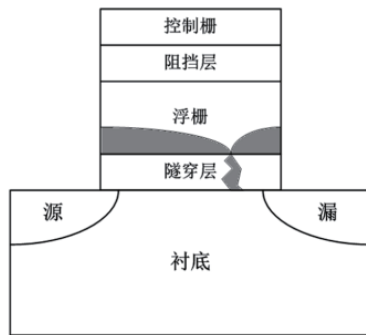
2 款芯片的 SEU 错误均能通过执行擦除操作而被消除。而后重写数据并在常温下不加电放置，浮栅型 FLASH 放置 6 小时就出现错误，而后错误不断增加，SONOS 型 FLASH 放置 168 小时内一直未出现错误，结果如表 2 所示。

3 分析与讨论

高能重离子入射到 FLASH 存储器件时，沿运动轨迹会发生电离产生电子－空穴对，在大量载流子存在的情况下 SiO<sub>2</sub> 的能带结构会遭到破坏，在器件的隧穿氧化层会出现瞬时的缺陷，形成由存储层到

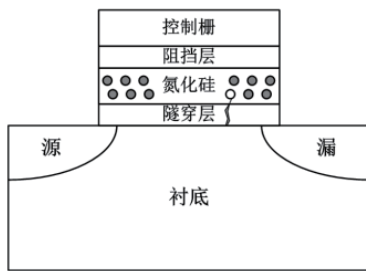
达衬底的瞬时导电路径。简单来说，可以将浮栅的放电过程看作是一个 RC 电路，其激活的时间小于电子与空穴重组的时间，R 为导电路径的电阻，C 为存储器件的电容。FLASH 存储器件中的电荷会通过瞬时导电路径释放而丢失，当单粒子辐射导致编程态器件的阈值电压低于读取参考电压时，就发生了存储单元 SEU 错误。图 2 所示为浮栅器件与 SONOS 器件中电荷通过瞬时导电路径丢失的示意图。浮栅器件以具有导电性的多晶硅浮栅作为存储层，电荷会通过瞬时导电路径全部释放掉，即存储的信息基本上会全部丢失，导致发生大量的存储单元 SEU 错误。而 SONOS 器件以绝缘的氮化硅作为存储层，只有存储在瞬时导电路径附近的一部分陷阱中的电荷会发生丢失。从电荷存储机制上分析，SONOS 器件由于采用陷阱俘获电荷的存储方式，因此在单粒子辐射下不易翻转。但目前工艺特征尺寸缩小至 55nm，导致 SONOS 器件的存储电荷量本征减少，因此有极少一部分编程态器件在发生电荷丢失后，其阈值电压低于读取参考电压，从而发生了 SEU 错误。2 种类型的 FLASH 的存储单元 SEU 截面对比充分说明了 SONOS 器件的本征抗 SEU 能力远强于浮栅器件。而且这种由于瞬时导电路径造成的极少量的 SONOS 存储单元 SEU 错误可以通过适当的抗单粒子设计加固的方式解决。





(a) 浮栅器件

(a) Floating gate device



(b) SONOS 器件

(b) SONOS device

图2 浮栅器件与SONOS器件中电荷通过瞬时导电路径丢失  
Fig.2 Charge infloating gate device and SONOS device is lost through transient conductive path

2款芯片经过擦除并重写数据操作后在常温下放置,其中浮栅型FLASH的数据错误数量随时间增长而不断增加,说明在经过了高 $LET$ 重离子辐射后,浮栅器件的电荷保持能力已经受到严重影响。当高能重离子穿过存储器件的隧穿氧化层时,会发生能量损失并产生电子-空穴对,其中只有1%的载流子能够存活,而99%的载流子会发生复合并释放能量<sup>[9]</sup>,在隧穿氧化层中沿离子的运动轨迹造成物理损伤,形成电荷陷阱中心,并部分俘获在复合过程中存活下来的空穴形成缺陷,从而使得器件的电荷存储层和衬底之间形成了一种陷阱辅助隧穿(trap assisted tunneling, TAT)机制下的长期电荷泄漏路径。在高 $LET$ 重离子辐射后,即使对浮栅型FLASH执行了重写数据操作,浮栅器件中的存储电荷也会随着时间的推移逐渐缓慢泄漏。而且这种辐射后的长期电荷泄漏造成的数据错误很难通过设计加固来有效解决。相比

之下,SONOS型FLASH在重写数据操作后168小时内未发生错误,这是由于电荷分立存储机制的优势,存储电荷不会通过长期电荷泄漏路径全部丢失,因此经过高 $LET$ 重离子辐射后,SONOS器件介质层所受到的损伤较小,高能重离子辐射对其电荷保持能力的影响不明显。试验结果对比充分说明了高 $LET$ 值重离子辐射对SONOS器件的电荷保持能力的影响远小于浮栅器件,因此基于SONOS工艺更适于进行抗辐射FLASH的研制。

#### 4 结论

本文对2款同为55nm先进工艺的非抗辐射加固浮栅型与SONOS型FLASH存储器开展了单粒子效应辐射试验研究。试验结果表明:未加电条件下,SONOS型FLASH在 $LET$ 为 $75.4\text{MeV}\cdot\text{cm}^2/\text{mg}$ 的Ta离子辐射时,存储单元翻转截面远小于浮栅型FLASH。单粒子辐射后SONOS器件的电荷保持能力所受到的影响也远小于浮栅器件。

SONOS型FLASH的优势是通过电荷俘获的机制将电荷分立存储在氮化硅陷阱中,在高能重离子辐射下仅瞬时导电路径附近的电荷丢失,且辐射后存储的电荷也没有因陷阱辅助隧穿机制下的长期电荷泄漏路径而全部丢失,天然比传统浮栅型FLASH具备更加优秀的可靠性与抗辐射能力。基于SONOS工艺进行抗辐射加固FLASH存储器研制,能够使FLASH存储器具备极强的抗单粒子翻转能力,适用于航天电子系统中的重要数据信息存储,有着非常广阔的宇航应用前景。

#### 参考文献 (References)

- [1] SCHWARTZ H R, NICHOLS D K, JOHNSTON A H. Single-event upset in flash memories[J]. IEEE Transactions on Nuclear Science, 1997, 44(6): 2315–2324.
- [2] NGUYEN D N, GUERTIN S M, SWIFT G M, et al. Radiation effects on advanced flash memories[J]. IEEE Transaction on Nuclear Science, 1999, 46(6): 1744–1750.

- [3] CELLERE G, PELLATI P, CHIMENTON A et al. Radiation effects on floating-gate memory cells[J].IEEE Transactions on Nuclear Science, 2002, 48(6): 2222–2228.
- [4] CELLERE G, PACCAGNELLA A, VISCONTI A et al. Transient conductive path induced by a Single ion in 10 nm SiO<sub>2</sub> Layers[J]. IEEE Transactions on Nuclear Science, 2004, 51(6): 3304–3311.
- [5] GERARDIN S, BAGATIN M, PACCAGNELLA A et al. Heavy-Ion Induced Threshold Voltage Tails in Floating Gate Arrays[J]. IEEE Transactions on Nuclear Science, 2010, 57(6): 3199–3205.
- [6] BI JS, XI K, LI B. Heavy ion induced upset errors in 90-nm 64 Mb NOR-type floating-gate Flash memory[J]. Chinese Physics B, 2018, 27(9): 098501.
- [7] BUTT N, ALAM M. Modeling single event upsets in floating gate memory cells[C]. 46th IEEE International Reliability Physics Symposium, Phoenix, AZ, USA, 2008: 547–555.
- [8] DESALVO B, GERARDI C, DELEONIBUS S, et al. Performance and reliability features of advanced nonvolatile memories based on discrete traps (siliconnanocrystals, SONOS) [J].IEEE Transactions on Device and Materials Reliability, 2004, 4(3): 377–389.
- [9] OLDHAM, TIMOTHY R. Recombination along the tracks of heavy charged particles in SiO<sub>2</sub> films[J]. Journal of Applied Physics, 1985, 57(8): 2695–2702.



## 作者简介:

郭宣辰(1994—), 女, 黑龙江大庆人, 硕士, 研究方向是抗辐射加固 FLASH 存储器设计。

# $^{60}\text{Co}$ $\gamma$ 射线辐射对商用 SiC 功率 MOSFET 低频噪声特性的影响

岳少忠, 张战刚, 陈资文, 孙常皓, 雷志锋, 彭 超

(工业和信息化部电子第五研究所, 广东 广州 510000)

**摘 要:** 对商用 1700V SiC 功率 MOSFET 器件进行了  $^{60}\text{Co}$   $\gamma$  辐照试验。试验结果表明, 辐照后器件的饱和漏电流降低了 32.75%, 阈值电压浮漂了 0.25V, 跨导峰值无明显变化。通过低频噪声测试系统对辐照前后的器件测试后, 发现辐照后器件的内部缺陷从  $2.31 \times 10^{16} \text{cm}^{-3} \cdot \text{eV}^{-1}$  增加到  $5.29 \times 10^{17} \text{cm}^{-3} \cdot \text{eV}^{-1}$ 。即辐照后器件内部缺陷增加了  $5.06 \times 10^{17} \text{cm}^{-3} \cdot \text{eV}^{-1}$ 。分析认为,  $^{60}\text{Co}$   $\gamma$  辐照后器件内部增加的缺陷俘获了大量载流子, 降低了载流子浓度进而导致器件的电学性能出现退化。

**关键词:** SiC 功率 MOSFET;  $^{60}\text{Co}$   $\gamma$ ; 低频噪声

**中图分类号:** TN385 **文献标识码:** A

## $^{60}\text{Co}$ $\gamma$ -ray Radiation Effects on the Low Frequency Noise in SiC Power MOSFETs

Yue Shaozhong, Zhang Zhangang, Chen Ziwen, Sun Changhao, Lei Zhifeng, Peng Chao

(Science and Technology on Reliability Physics and Application of Electronic Component Laboratory, China Electronic Product Reliability and Environmental Testing Research Institute, Guangzhou, 510000, China)

**Abstract:** The electrical characteristics and low-frequency noise (LFN) of SiC Power Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFETs) after  $^{60}\text{Co}$   $\gamma$ -ray irradiation up to a total dose of 500 krad (Si) have been studied in this article. The devices experienced a 32.75% decrease in the saturation current, a 0.25V negative shift in the threshold voltage ( $V_{th}$ ). Extracted by the LFN method, the trap density increases from  $2.31 \times 10^{16} \text{cm}^{-3} \cdot \text{eV}^{-1}$  to  $5.29 \times 10^{17} \text{cm}^{-3} \cdot \text{eV}^{-1}$  after the irradiation. The main degradation mechanism is considered to be the increase of charged trap density in the channel, which depletes more electrons and reduces the carrier density.

**Key words:** SiC power MOSFET;  $^{60}\text{Co}$   $\gamma$ ; low-frequency noise

## 0 引言

碳化硅 (SiC) 半导体相比于其他几种半导体材料, 具有宽禁带 (3.23eV)、高击穿电场、高开关频率和抗辐射能力强等优点<sup>[1-3]</sup>。这些优良的物理性能, 使得其在功率器件中具有广阔的应用前景, 预计将在未来的地面和空间电力系统中发挥重要作用<sup>[4]</sup>。作为一个典型代表 SiC 功率器件、硅功率金属氧化物场效应晶体管 (MOSFET) 得到了广泛的应用和研究。

虽然 SiC MOSFET 器件具有很高的理论抗辐射能力, 但是由于现有工艺水平的限制以及在航天应用中所带来的复杂的辐射环境考验, 使得器件在空间应用中仍面临着严重问题。因此, 研究 SiC MOSFET

器件的辐射效应, 深入探索辐射导致的器件缺陷微观特性及其与器件电学特性退化的联系, 揭示器件的辐射损伤机理, 具有十分重要的研究意义。

对于 SiC MOSFET 器件的辐射效应研究, 主要集中在单粒子效应 (SEE) 方面。Hiroaki Asai 等人, 研究了不同偏置电压下中子辐照对 SiC MOSFET 器件单粒子烧毁的影响<sup>[5]</sup>。研究结果表明在中子辐照过程中加偏压增加了器件单粒子烧毁的几率, 同时在分析后认为由核反应和中子与 SiC 晶格原子碰撞产生的高能次级碳原子是导致 SEE 触发机制中起重要作用。范登堡大学 R.A. Johnson 等人, 用双束单粒子脉冲激光和 TCAD 仿真软件研究了 SiC MOSFET 器件的

单粒子效应<sup>[6]</sup>。分析认为垂直 SiC 功率 MOSFET 结构固有的寄生双极放大效应是造成单粒子烧毁的重要原因。

低频噪声指半导体器件中功率谱密度与频率成反比的随机涨落现象，它可以敏感地反映半导体材料与器件的潜在缺陷<sup>[7]</sup>。本文针对商用 SiC MOSFET 器件的总剂量电离辐射效应开展试验研究，分析其电学特性与低频噪声特性在辐射前后的变化，研究辐射对器件栅沟道电流噪声功率谱密度的影响，提取<sup>60</sup>Co $\gamma$ 射线辐射前后器件内部缺陷密度的变化。

## 1 器件结构与试验参数

试验所用的 SiC 功率 MOSFET 器件为 CREE 公司生产的商用器件，器件结构如图 1 所示。器件在 4H-SiC 衬底上生长，栅氧层厚度为 776nm，额定电压为 1700V，最大正向电流为 36A。



图 1 器件结构图（显微镜下）

Fig.1 Surface morphology of sample (under microscope)

辐照试验在北京大学技术物理系 Co 源设备上进行，<sup>60</sup>Co $\gamma$ 射线的注量率为 50rad(Si)/s，总剂量为 500krad(Si)。试验过程中，器件未施加偏置电压且所有管脚均进行接地处理。器件的电学性能在 B1505 半导体分析仪测试，器件在辐照前后的内部缺陷在低频噪声测试系统进行测试。所有试验及测试均在常温下进行。

## 2 结果与分析

辐照试验前后 SiC 功率 MOSFET 器件的输出特

性曲线如图 2 所示，在测试过程中，栅极电压从 1 到 4V，步进为 0.5V，漏端电压为 0V 到 5V。测试数据显示辐照后器件的饱和输出漏电流出现了明显的下降，以  $V_{gs}=4V$  的输出特性曲线为例，辐照后器件的饱和漏电流下降了 32.75%。在低漏极电压下，器件输出电流曲线的初始斜率也有所减小。

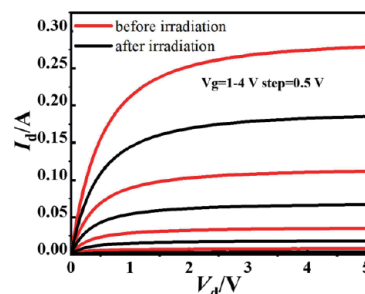


图 2 SiC 功率 MOSFET 器件辐照前后的输出特性曲线

Fig.2 The output characteristics of SiC Power MOSFETs before and after the irradiation

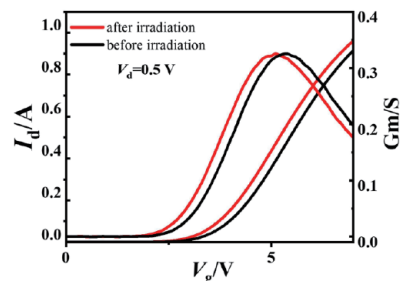


图 3 SiC 功率 MOSFET 器件辐照前后的转移特性曲线

Fig.3 The transfer characteristics of SiC Power MOSFETs before and after the irradiation

图 3 是器件辐照前后的转移特性曲线，其中漏极电压为 0.5V，栅极电压从 0V 扫描到 7V，测试数据显示辐照后器件的阈值电压负向漂移了 0.25V，跨导峰值无明显变化。

分析认为，辐照导致器件界面处产生了负的界面态使得载流子浓度下降，进而导致器件饱和输出漏电流的减小，而且在不同的栅压下漏极电流的退化程度不同，高栅压下退化更为严重。然而器件的跨导峰值几乎无变化，说明同时由于在沟道处产生的缺陷未改变载流子的迁移率从而使得沟道电阻率变化不大。



为了对器件内部的缺陷数量变化进行研究,借助低频噪声测试系统对辐照前后的SiC功率MOSFET器件进行了测试,测试结果如图4所示。

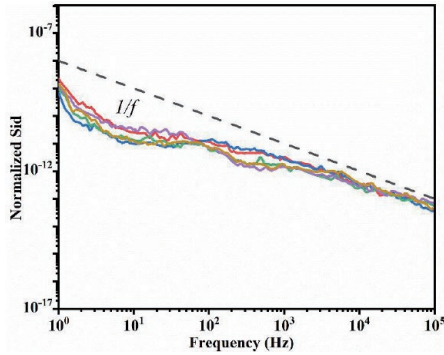


图4 器件的沟道电流归一化噪声功率谱密度

Fig.4 Normalized  $S_{id}/I_{ds}^2$  versus  $f$  of SiC power MOSFET

由图4可知, SiC功率MOSFET器件沟道电流 $I_{ds}$ 涨落的功率谱密 $S_{id}$ 随频率的变化遵循 $1/f$ 的变化规律,满足经典的低频噪声理论。基于McWhorter模型,半导体器件的 $1/f$ 噪声主要由载流子数随机涨落机理所引起,器件沟道电流归一化噪声功率谱密度 $S_{id}/I_{ds}^2$ 可近似表征为<sup>[8]</sup>:

$$\frac{S_{id}}{I_{ds}^2} = \frac{k^* q}{f W L C_b^2 (V_{gs} - V_{th})^2} \quad (1)$$

式中, $f$ 为频率, $C_{ox}$ 为单位面积的栅氧化层电容, $k^*$ 因子取决于界面附近缺陷俘获和释放载流子等效应, $V_{gs} - V_{th}$ 为过驱动电压。

为进一步描述埋氧化层陷阱电荷、界面陷阱、边界陷阱等电荷随总剂量的变化,有必要从平带电压噪声功率谱密度 $S_{V_{fb}}$ 出发,提取器件界面附近陷阱电荷与缺陷等参数及其随空间的分布。基于载流子数随机涨落模型,器件的沟道电流归一化噪声功率谱密度 $S_{id}/I_{ds}^2$ 与栅平带电压噪声功率谱密度之间关系为<sup>[8]</sup>:

$$\frac{S_{id}}{I_{ds}^2} = \left( \frac{g_m}{I_{ds}} \right)^2 S_{V_{fb}} \quad (2)$$

式中 $S_{V_{fb}}$ 为背栅平带电压噪声功率谱密度,其与器件沟道电流、频率等无关,仅取决于器件界面附近陷阱电荷与结构尺寸等参数; $g_m$ 为器件跨导。

频率为25Hz时,器件 $S_{id}/I_{ds}^2$ 随沟道电流的变

化如图5所示。基于(2)式,可从图5中提取并拟合得到辐照前后器件的 $S_{V_{fb}}$ 分别为 $1.75 \times 10^{-11} \text{V}^2 \cdot \text{Hz}^{-1}$ 与 $3.81 \times 10^{-10} \text{V}^2 \cdot \text{Hz}^{-1}$ 。器件氧化层附近缺陷密度 $N_t$ 与 $S_{V_{fb}}$ 之间关系可近似为<sup>[8]</sup>:

$$N_t = \frac{W L C_b^2 f}{q^2 k T \lambda} S_{V_{fb}} \quad (3)$$

式中, $\lambda$ 为电子波函数在绝缘层内的隧穿削弱因子,根据(3)式,可提取得到辐照前后器件氧化层附近缺陷密度(包含边界陷阱、界面态与氧化层陷阱电荷)约为 $2.31 \times 10^{16} \text{cm}^{-3} \cdot \text{eV}^{-1}$ 和 $5.29 \times 10^{17} \text{cm}^{-3} \cdot \text{eV}^{-1}$ 。即辐照后器件内部缺陷增加了 $5.06 \times 10^{17} \text{cm}^{-3} \cdot \text{eV}^{-1}$ 。

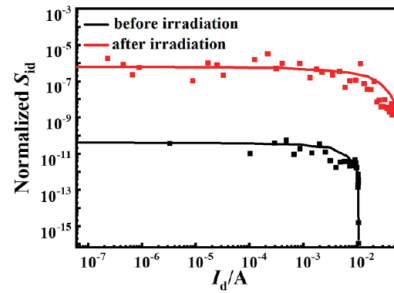


图5 辐照前后沟道电流噪声功率谱密度随沟道电流的变化( $f=25\text{Hz}$ )

Fig.5  $S_{id}/I_{ds}^2$  before and after irradiation with channel current variety ( $f=25\text{Hz}$ )

### 3 讨论

SiC功率MOSFET器件在 $^{60}\text{Co}$   $\gamma$ 射线辐射后, $\gamma$ 射线在 $\text{SiO}_2$ 材料中电离产生电子空穴对,电子空穴随即发生复合、扩散和漂移,最终在氧化层中形成氧化物陷阱电荷或者在氧化层与半导体材料的界面处形成界面陷阱电荷。这些陷阱电荷俘获了大量载流子,降低了载流子浓度进而导致器件的电学性能出现退化。

### 4 结论

对商用1700V SiC功率MOSFET器件进行了 $^{60}\text{Co}$ 辐照试验,注量率为 $50 \text{rad}(\text{Si})/\text{s}$ ,总剂量为 $500 \text{krad}(\text{Si})$ 。试验结果表明,辐照后器件的饱和漏电流降低了32.75%,阈值电压浮漂了0.25V,跨导峰值无明显变化。通过低频噪声测试系统对辐照

前后的器件测试后,发现辐照后器件的内部缺陷从  $2.31 \times 10^{16} \text{cm}^{-3} \cdot \text{eV}^{-1}$  增加到  $5.29 \times 10^{17} \text{cm}^{-3} \cdot \text{eV}^{-1}$ 。即辐照后器件内部缺陷增加了  $5.06 \times 10^{17} \text{cm}^{-3} \cdot \text{eV}^{-1}$ 。分析认为,  $^{60}\text{Co} \gamma$  辐照后器件内部增加的缺陷俘获了大量载流子,降低了载流子浓度进而导致器件的电学性能出现退化。

致谢:感谢工信部电子五所何玉娟和肖庆中老师给予的巨大帮助,感谢湘潭大学材料学院罗俊洋同学的讨论。

## 参考文献 (References)

- [1] ELASSER A, CHOW T P, Silicon carbide benefits and advantages for power electronics circuits and systems [J]. Proc. IEEE, 90(6): 969–986.
- [2] SHENAI K, SCOTT R S, BALIGA B J. Optimum semiconductors for high power electronics [J]. IEEE Trans Electr Dev, 1989, 36(9): 1811–1823.
- [3] CHOW T P, TYAGI R. Wide band gap compound semiconductors for superior high voltage power devices [J]. IEEE Trans Electr Dev, 1994. 41(8): 84–88.
- [4] SCHEICK L, SELVA L, BECKER H. Displacement damage-induced catastrophic second breakdown in silicon carbide Schottky power diodes [J]. IEEE Trans Nucl Sci, 2004, 51(6): 3193–3200.
- [5] ASAI H, NASHIYAMA I, SUGITMOTO K, et al. Tolerance Against Terrestrial Neutron-Induced Single-Event Burnout in SiC MOSFETs [J]. IEEE Transactions on Nuclear Science, 2014, 61(6): 3109–3114.
- [6] JOHNSON R A, WITULSI A F, BALL D R, et al. Enhanced Charge Collection in SiC Power MOSFETs Demonstrated by Pulse-Laser Two-Photon Absorption SEE Experiments [J]. IEEE Transactions on Nuclear Science, 2019, 23(99): 1–6.
- [7] SIMOEN E, MERCHA A, CLAEYS C. A study of the kink related excess low frequency noise in silicon on insulator n metal oxide semiconductor transistors operated at liquid helium temperatures [J], Solid-State Electron. 2007, 51(16): 13–16.
- [8] YUE S, LEI Z, PENG C, et al. High-fluence Proton Induced Degradation on the AlGaIn/GaN High-electron-mobility Transistors [J]. IEEE Transactions on Nuclear Science, 2020, 13(99): 1–7.



## 作者简介:

岳少忠(1993—),男,河南信阳市息县人,硕士,目前从事宽禁带半导体材料与器件的可靠性研究工作。

# 极低剂量率环境下双极器件 ELDRS 效应研究与评估

李小龙<sup>1,2</sup>, 陆 妩<sup>1,2</sup>, 王 信<sup>1,2</sup>, 于 新<sup>1,2</sup>, 孙 静<sup>1,2</sup>, 刘默寒<sup>1,2</sup>, 魏 莹<sup>1,2</sup>, 郑齐文<sup>1,2</sup>

(1. 中国科学院特殊环境功能材料与器件重点实验室, 中国科学院新疆理化技术研究所, 新疆 乌鲁木齐 830011; 2. 新疆电子信息材料与器件重点实验室, 新疆 乌鲁木齐 830011)

**摘 要:** 为研究双极器件在极低剂量率 ( $< 10\text{mrad}(\text{Si})/\text{s}$ ) 环境下的低剂量率损伤增强效应 (ELDRS) 和加速评估试验方法, 本文选取双极运算放大器 UA741 和电压比较器 LM311 进行了 4 种不同低剂量率 (0.1, 1, 5,  $10\text{mrad}(\text{Si})/\text{s}$ ) 的  $^{60}\text{Co}\gamma$  射线辐照试验和变温加速试验。试验结果显示, 器件的辐射损伤随剂量率降低继续增大, 未见饱和趋势, 且在剂量率  $10\text{mrad}(\text{Si})/\text{s}$  下判定为对 ELDRS 效应免疫 (ELDRS-free) 的器件, 在更低剂量率辐照下仍表现出 ELDRS 效应。基于损伤机理的研究结果, 初步建立了极低剂量率下的变温加速评估试验方法, 验证结果表明, 该方法可保守评估器件在极低剂量率下的抗辐射能力, 且将评估时间从 12 个月缩短至 27 小时。

**关键词:** 双极器件; 低剂量率损伤增强效应; 变温加速评估方法

**中图分类号:** TL99 **文献标识码:** A

## Evaluation of Accelerated ELDRS Test Using Temperature-Switching Irradiation

Li Xiaolong<sup>1,2</sup>, Lu Wu<sup>1,2</sup>, Wang Xin<sup>1,2</sup>, Yu Xin<sup>1,2</sup>, Sun Jing<sup>1,2</sup>, Liu Mohan<sup>1,2</sup>, Wei Ying<sup>1,2</sup>, Zheng Qiwen<sup>1,2</sup>

(1. Key Laboratory of Functional Materials and Devices for Special Environments, Xinjiang Technical Institute of Physics and Chemistry, Chinese Academy of Sciences, Urumqi, 830011, China; 2. Xinjiang Key Laboratory of Electronic Information Material and Device, Urumqi, 830011, China)

**Abstract:** The low-dose-rate sensitivity (ELDRS) is a major concern for hardness assurance testing of linear bipolar devices intended for space missions. Considering a very long irradiation time is required to examine a part for ELDRS, we apply the accelerated-testing method -temperature switching irradiation (TSI) - to evaluate the response of several devices at ultra-dose rate (below  $10\text{mrad}(\text{Si})/\text{s}$ ). The bipolar operational amplifier UA741 and voltage comparator LM311 were exposed to  $^{60}\text{Co}\gamma$ -ray with different dose rates (0.1, 1, 5,  $10\text{mrad}(\text{Si})/\text{s}$ ) irradiation and temperature-switched irradiation. The experimental results clearly illustrate the basic principles behind TSI, show that the method is conservative with respect to the ultra-low dose rate irradiation, and confirm that TSI is a promising approach for accelerated ELDRS testing.

**Key words:** bipolar device; enhanced low dose rate sensitivity; temperature-switching irradiation

## 0 引言

长寿命航天任务实施过程中面临一个严峻的可靠性问题——长期暴露在空间辐射环境中的航天电子元器件因总剂量效应（累积的电离损伤）导致性能退化, 在轨时间越长性能退化越严重。电离总剂量效应是航天电子系统辐射效应研究的重要方向, 其中双极器件因其特有的低剂量率损伤增强 (Enhanced Low Dose Rate Sensitivity, ELDRS) 效应<sup>[1]</sup>, 已成为航天用双极器件抗电离总剂量效应的难点和重点突破方向。

由于低剂量率辐照损伤增强效应的存在, 国际相关领域的专家就将研究重点放在了机理解释及快捷高效的检测方法上, 基于双极工艺电离总剂量损伤模型, 形成了多种加速评估技术, 可归纳为: 1) 室温低剂量率评估方法<sup>[2]</sup>; 2) 高温辐照评估方法<sup>[3-5]</sup>; 3) 高剂量率辐照和高温退火评估方法<sup>[6]</sup>; 4) 变剂量率评估方法<sup>[7,8]</sup>; 5) 氢氛围辐照<sup>[9,10]</sup>等, 并列入美军标 MIL-STD-883/Test Method 1019.9 关于 ELDRS 检测的方法中, 该方法通常采用  $10\text{mrad}(\text{Si})/\text{s}$  剂量率鉴别是否具有 ELDRS 效应<sup>[11,12]</sup>。但近年有研究报道:

在极低剂量率环境下 ( $< 10\text{mrad(Si)/s}$ )，部分双极器件出现辐射损伤随剂量率降低继续增大的现象，该现象的发生导致依据标准 MIL-STD-883 TM1019 评估方法判定为对 ELDRS 效应免疫 (ELDRS-free) 的器件，在更低剂量率辐照下仍表现出了 ELDRS 效应。上述研究结果将对以美军标 1019 方法为依据的评估方法使用带来很大的影响。考虑到未来深空探测等新的应用会使得航天器面临长时间的极低剂量率 ( $< 10\text{mrad(Si)/s}$ ) 辐射环境，现有基于  $10\text{mrad(Si)/s}$  剂量率的评估结果能否满足航天任务的应用要求仍是值得关注的问题。因此，开展极低剂量率条件下的辐射损伤机制和加速试验方法研究，对解决宇航用双极器件抗总剂量验证及评估的问题至关重要。

针对目前国内外的研究状况，基于前期对  $10\text{mrad(Si)/s}$  剂量率水平下的 ELDRS 损伤机制及变温加速评估试验方法的研究<sup>[13-16]</sup>，本文以双极运算放大器和电压比较器为对象，对双极器件在极低剂量率下的 ELDRS 效应进行了试验研究，初步建立了极低剂量率下的变温加速评估试验方法。

## 1 试验样品和试验方法

试验样品为典型的双极运算放大器 UA741 和电压比较器 LM311，辐照源分别为中国科学院新疆理化技术研究所的大、小钴源，辐照试验采用了 7 种剂量率，分别为室温  $100\text{rad(Si)/s}$ 、 $10\text{rad(Si)/s}$ 、 $0.1\text{rad(Si)/s}$ 、 $10\text{mrad(Si)/s}$ 、 $5\text{mrad(Si)/s}$ 、 $1\text{mrad(Si)/s}$ 、 $0.1\text{mrad(Si)/s}$ ，变温辐照的剂量率为  $0.35\text{rad(Si)/s}$ ，所有的试验中，受试样品的偏置设置为零偏。

变温加速评估方法是指在辐照过程中，采用由高到低的温度阶梯顺序，在剂量率  $0.35\text{rad(Si)/s}$  下评估低剂量率辐射损伤，如图 1 所示。变温辐照步骤为：1)  $120^\circ\text{C}$  温度条件下辐照至  $5\text{krad(Si)}$ ；2) 转换辐照温度为  $100^\circ\text{C}$ ，辐照至  $20\text{krad(Si)}$ ；3)

在  $80^\circ\text{C}$  温度条件下辐照至  $30\text{krad(Si)}$ 。温度辐照在特制的恒高温箱内进行，箱内置有抗辐射的控温系统，可以保证高温辐照期间烘箱内的温度变化不超过  $\pm 2^\circ\text{C}$ 。

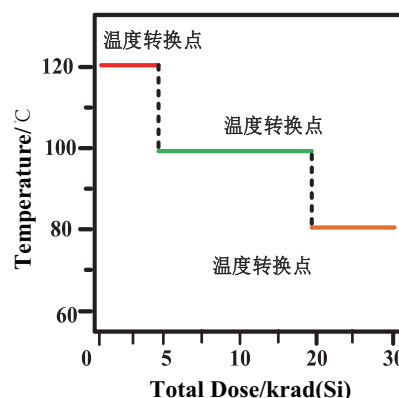


图 1 温度的变化和累积剂量之间的关系

Fig.1 Schematic diagram of the temperature-switching irradiation (TSI) method

## 2 试验结果

### 2.1 不同剂量率下的辐照结果

图 2 所示为电压比较器 LM311 与运算放大器 UA741 的辐照敏感参数 (输入偏置电流) 在不同剂量率条件下的响应规律<sup>[12]</sup>。由图可知，两款器件在不同剂量率下的辐射损伤表现为：相同总剂量水平，随剂量率的下降，器件的输入偏置电流均逐渐增加，但增强效应饱和的剂量率值并非  $10\text{mrad(Si)/s}$ 。对于电压比较器 LM311 的试验结果，显示  $10\text{mrad(Si)/s}$  剂量率下的器件损伤小于  $100\text{rad(Si)}$  下的辐照损伤，若采用  $10\text{mrad(Si)/s}$  剂量率鉴别是否具有 ELDRS 效应，则判定为 LM311 对 ELDRS 效应免疫 (ELDRS-free)，但在更低的剂量率条件下，器件的辐照损伤显著增加，表现出明显的 ELDRS 效应。对于运算放大器 UA741 的试验结果，显示在剂量率  $10\text{mrad(Si)/s}$  下器件表现为 ELDRS 效应，在较低总剂量水平 ( $< 40\text{krad(Si)}$ )，剂量率  $5\text{mrad(Si)/s}$  水平下的退化程度与  $10\text{mrad(Si)/s}$  水平相当，在高



剂量水平下, 器件的退化与辐照剂量率呈负相关, 剂量率越低, 器件退化越严重。

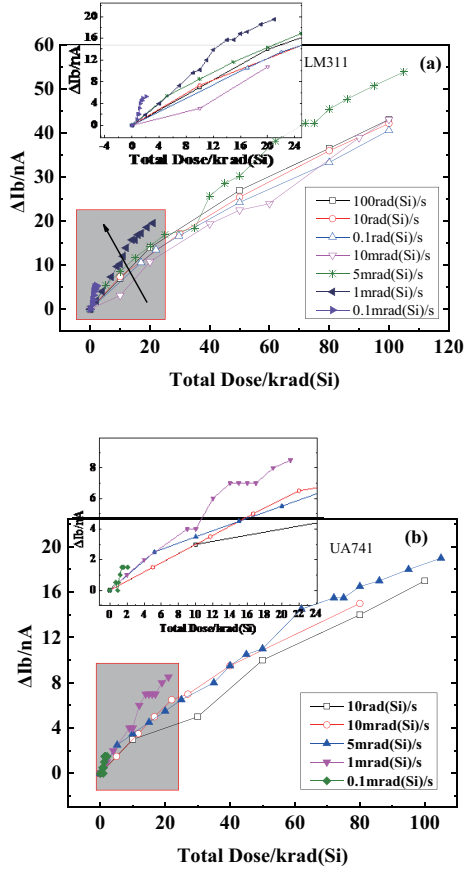


图2 不同剂量率下输入偏置电流随累积剂量值的变化  
(a)LM311 (b)UA741

Fig.2 Radiation response of bipolar devices under various dose rate conditions (a) LM311 (b)UA741

为了进一步分析器件损伤与辐照剂量率的关系, 图3给出了器件增强因子 (Enhanced Factor,  $EF$ ) 随剂量率降低的变化曲线<sup>[12]</sup>,

$$EF = \frac{\Delta P @ low\_dose\_rate}{\Delta P @ high\_dose\_rate}$$

其中  $\Delta P$  表示器件的辐射损伤, 图中电压比较器 LM311 的增强因子归一化至 100rad(Si)/s, 运算放大器 UA741 的增强因子归一化至 10rad(Si)/s。由图可知, 在极低剂量率下器件的增强因子呈现相似规律, 伴随剂量率的降低, 增强因子增大, 且未见增强效应趋于饱和的剂量率。

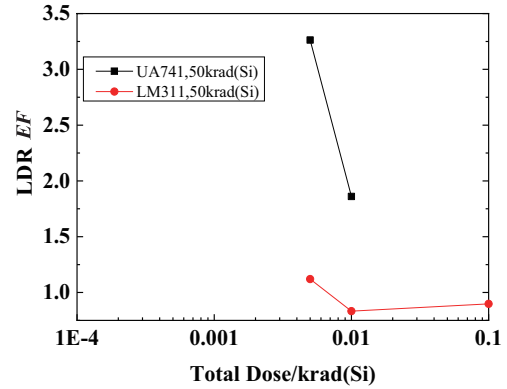


图3 双极器件  $EF$  随剂量率降低的变化曲线

Fig.3 The enhanced factor of the devices under various dose rate conditions

## 2.2 变温辐照方法对双极电路的评估

图4给出了电压比较器 LM311 和运算放大器 UA741 变温加速评估的试验结果。评估结果显示, 变温辐照加速评估方法可以保守地估计该两款器件的 ELDRS 效应, 所有试验样品的退化程度均比极低剂量率 (0.1, 1, 5mrad(Si)/s) 条件的退化程度严重, 对于采用 10mrad(Si)/s 剂量率误判为对 ELDRS 效应免疫 (ELDRS-free) 的器件, 变温方法可以给出正确的鉴别结果, 且在 0 ~ 30krad(Si) 剂量范围内均能给出一个保守的评估结果, 并将评估时间从 12 个月缩短至 27 小时。

## 3 变温加速评估方法的机理研究

大量研究结果证实, 低剂量率条件下辐射引起作为复合中心的界面陷阱增加, 直接导致 ELDRS 效应。半导体材料中缺陷释放的氢离子 ( $H^+$ ) 是界面陷阱中心建立的关键因素。不同工艺、不同辐照剂量率及累积剂量下 ELDRS 效应的增强因子的差异最终归结为, 不同情况下起主导作用的反应过程 (氢离子释放过程) 的差异。基于核心为可动粒子 ( $e^-$ ,  $h^+$ ,  $H$ ) 参与的缺陷反应动力方程, 考虑空穴逃逸率、缺陷反应势垒等因素对界面陷阱电荷分布的影响, 进一步研究变温加速评估方法的物理机制。

### 3.1 空穴逃逸率对氢离子释放的影响

空穴逃逸直接影响氢离子的释放过程, 且与温度

密切相关。研究表明<sup>[17]</sup>：对于低电场的 SiO<sub>2</sub> 层，温度通过影响电子－空穴复合作用，调控电子－空穴对的分离过程。

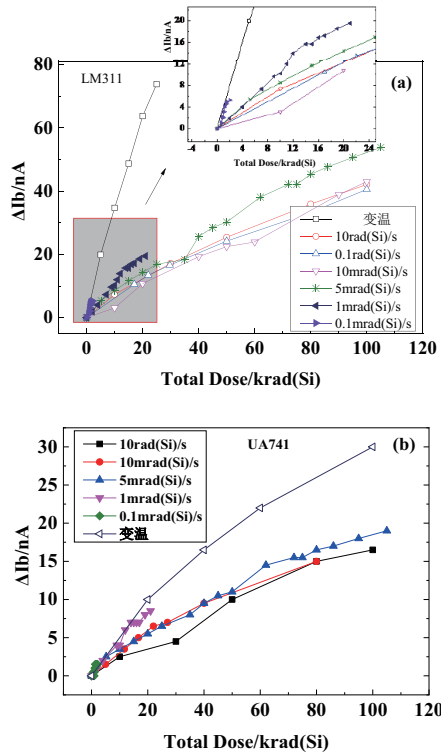


图4 变温方法对双极器件的评估 (a) 电压比较器 LM311 (b) 运算放大器 UA741<sup>[12]</sup>

Fig.4 The evaluation of bipolar devices with TSI (a) the LM311 (b) the UA741<sup>[12]</sup>

表1给出了200K, 300K, 400K三种不同温度下的空穴逃逸率与电场的关系。由表可知，在低电场下，空穴的逃逸率与温度呈正相关，随着温度的增加，空穴的逃逸率逐渐增加。由于逃逸初始复合的空穴数量增加，导致更多的空穴参与氢离子的释放过程，影响 Si-SiO<sub>2</sub> 界面处界面陷阱电荷的生成。

表1 不同温度下空穴逃逸率与电场的关系

Tab.1 Normalized escape probability versus electric field at different temperature

温度	空穴逃逸率		
	10 <sup>3</sup> V/cm	10 <sup>4</sup> V/cm	10 <sup>5</sup> V/cm
200K	0.1521	0.2306	0.7045
300K	0.2813	0.3454	0.7168
400K	0.3843	0.4340	0.7303

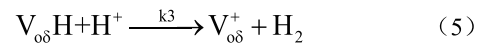
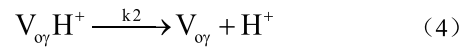
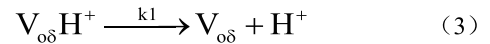
### 3.2 温度对氢离子的释放过程的影响

双极晶体管基区隔离氧化层内含有包括氧空位缺陷及氢化缺陷在内的众多缺陷类型，其中氢化缺陷是氢离子直接释放的关键缺陷类型。输运至 SiO<sub>2</sub>/Si 界面处与 Si-H 发生去钝化反应形成界面陷阱，释放的氢离子浓度直接决定界面陷阱电荷浓度<sup>[18,19]</sup>，可表示为：

$$S_{Si}H + H^+ \rightleftharpoons S_{Si}^+ + H_2 \quad (1)$$

$$S_{Si}^+ \propto \int ([H^+][SiH]) dt \quad (2)$$

对于氢化的氧空位缺陷，主要包括 V<sub>o</sub>H 缺陷 (E<sub>v</sub> 中心) 和 V<sub>o</sub>H 缺陷 (E<sub>o</sub> 中心)，其中 V<sub>o</sub>H 缺陷因具有较低的势垒，在常温下就可以俘获空穴释放出氢离子；而对于 V<sub>o</sub>H 型缺陷，它具有较高的反应势垒，约为 2eV，在常温下不容易发生式 (4) 所示过程，但该过程的反应速率与温度呈正比，随温度增加，V<sub>o</sub>H 缺陷直接释放氢离子的几率增强，加速界面陷阱电荷生成。



$$K_n = L_c D \exp\left(\frac{-E_b}{K_B T}\right) \quad (6)$$

### 3.3 氢离子的释放－流失的竞争机制对界面陷阱电荷的影响

双极工艺的 ELDRS 与氢离子的释放、输运及界面陷阱电荷的形成有关，氢离子的释放依赖于剂量率、剂量及温度等因素，且界面处氢粒子 (H<sup>-</sup>、H<sup>0</sup>、H<sup>+</sup>、H<sup>2</sup>) 间的相互转化影响界面陷阱电荷的形成。基于前期对界面陷阱电荷温度响应机制的研究，发现温度对界面陷阱电荷的形成具有双重作用，一方面温度通过增强氢离子直接释放的过程，直接影响界面陷阱电荷的生长，如式 (3)～(4) 所示；另一方面，氢离子在输运过程中仍有几率被 V<sub>o</sub>H<sup>+</sup> 型缺陷俘获，发生氢的二聚化反应，如式 (5) 所示，且该过程的

反应速率因子强烈依赖于氢离子浓度和温度，如表 2 所示。高温环境下，由于氢离子的二聚化作用不断加强，导致向 Si/SiO<sub>2</sub> 界面处输运的氢离子流失，氢离子浓度可表示为  $[H^+] \propto \int (k_1[VH][h^+] - k_2[VH][H^+]) dt < \int k_1[VH][h^+] dt$ ，造成界面陷阱电荷的增长速率放缓，甚至出现退火现象。

表 2 不同温度条件下氢离子释放和氢二聚化的反应因子  
Tab.2 The reaction rate coefficient for proton release and hydrogen dimerization

温度	释放反应速率因子	二聚化反应速率因子
	cm <sup>2</sup> /s	cm <sup>3</sup> /s
300K	$1.01 \times 10^{-27}$	$1.61 \times 10^{-31}$
350K	$4.20 \times 10^{-25}$	$6.26 \times 10^{-28}$
370K	$8.04 \times 10^{-24}$	$9.13 \times 10^{-27}$
400K	$8.77 \times 10^{-22}$	$3.07 \times 10^{-25}$

基于氢离子释放－流失的竞争机制对界面陷阱电荷形成的影响，考虑到不同剂量阶段时氧化层中粒子（如空穴、电子、氢离子及氢分子等）的产生、输运以及相互转化对缺陷分布的作用机制，变温辐照方法可最大限度激发器件的退化潜能。变温辐照的核心机制可归纳为：（1）低剂量阶段，恒高温增强氢离子的直接释放和输运机制；（2）中、高剂量阶段，降低辐照温度减小氢离子流失，减弱氢的二聚化机制，抑制界面陷阱电荷的退火机制。

4 结论

本文针对双极器件在深空环境应用中抗辐射评估及预测的需求，研究了极低剂量率条件下器件（运算放大器 UA741、电压比较器 LM311）的 ELDRS 效应，结果表明，在极低剂量率环境下器件的辐射损伤仍在加剧，且未见饱和趋势。基于损伤规律和机理的研究结果，提出了极低剂量率下的变温加速评估试验方法并进行了试验验证，结果表明，该方法可保守评估器件在极低剂量率（0.1，1，5，10mrads(Si)/s）下的抗辐射能力，且将评估时间从年缩短至 27 小时。

参考文献 (References)

[1] ENLOW E W, et al. Response of advanced bipolar

processes to ionizing radiation [J]. IEEE Transactions on Nuclear Science, 1991, 38(6): 1342–1351.

[2] PEASE R L, et al. ELDRS in Bipolar Linear Circuits: A Review [J]. IEEE Transactions on Nuclear Science, 2009, 56(4): 1894–1908.

[3] FLEETWOOD D M, et al. Physical mechanisms contributing to enhanced bipolar gain degradation at low dose rates [J]. IEEE Transactions on Nuclear Science, 1994, 41(6): 1871–1883.

[4] WITCZAK S C, et al. Space charge limited degradation of bipolar oxides at low electric fields [J]. IEEE Transactions on Nuclear Science, 1998, 45(6): 2339–2351.

[5] WITZAK S C, et al. Hardness assurance testing of bipolar junction transistors at elevated irradiation temperatures [J]. IEEE Transactions on Nuclear Science, 1997, 44(6): 1989–2000.

[6] FREITAG R K, et al. Study of low-dose-rate radiation effects on commercial linear bipolar ICs [J]. IEEE Transactions on Nuclear Science, 1998, 45(6): 2649–2658.

[7] BOCH J, et al. Estimation of low-dose-rate degradation on bipolar linear integrated circuits using switching experiments [J]. IEEE transactions on nuclear science, 2005, 52(6): 2616–2621.

[8] BOCH J, et al. The Use of a Dose-Rate Switching Technique to Characterize Bipolar Devices [J]. IEEE Transactions on Nuclear Science, 2009, 56(6): 3347–3353.

[9] ADELL P C, et al. Irradiation With Molecular Hydrogen as an Accelerated Total Dose Hardness Assurance Test Method for Bipolar Linear Circuits [J]. IEEE Transactions on Nuclear Science, 2009, 56(6): 3326–3333.

[10] PEASE R L, et al. Evaluation of an Accelerated ELDRS Test Using Molecular Hydrogen [J]. IEEE Transactions on Nuclear Science, 2010, 57(6): 3419–3425.

[11] CHEN D, et al. Enhanced Low Dose Rate Sensitivity at Ultra-Low Dose Rates [J]. IEEE Transactions on Nuclear Science, 2011, 58(6): 2983–2990.

- [12] WANG X, et al. Accelerated Test of ELDRS at Ultra-Low Dose Rates for Bipolar Devices [C]//Proceedings of the 2018 18th European Conference on Radiation and Its Effects on Components and Systems (RADECS). Gothenburg, Sweden, 2018.
- [13] LU W, et al. Accelerated simulation method to evaluate enhanced low dose rate sensitivity of bipolar operational amplifiers by decreasing temperature in step during irradiation [J]. Atomic Energy Science and Technology, 2009, 43(9): 769–775.
- [14] 马武英, 陆妩, 等. 双极电压比较器低剂量率辐照损伤增强效应的变温辐照加速评估方法 [J]. 原子能科学技术, 2014, 48(11): 2170–2176.
- MA W Y, LU W, et al. Accelerated Evaluation Method of Temperature Switching Irradiation for ELDRS of Bipolar Voltage Comparator [J]. Atomic Energy Science and Technology, 2014, 48(11): 2170–2176.
- [15] LI X L, Lu W, et al. Estimation of enhanced low dose rate sensitivity mechanisms using temperature switching irradiation on gate-controlled lateral PNP transistor [J]. Chinese Physics B, 2018, 27(3): 036102.
- [16] LI X, Lu W, GUO Q, et al. Temperature-Switching During Irradiation as a Test for ELDRS in Linear Bipolar Devices [J]. IEEE Trans Nucl Sci, 2019, 66(1): 199–206.
- [17] BOCH J, et al. Appl. Phys. Lett, 2006, 89: 042108.
- [18] FLEETWOOD D M, et al. Radiation effects at low electric fields in thermal, SIMOX, and bipolar-base oxides [J]. IEEE Transactions on Nuclear Science, 1996, 43(6): 2537–2546.
- [19] HUGHART D R, et al. Mechanisms of Interface Trap Buildup and Annealing During Elevated Temperature Irradiation [J]. IEEE Transactions on Nuclear Science, 2011, 58(6): 2930–2936.



## 作者简介:

李小龙(1988—),男,甘肃武威人,博士,助理研究员,主要研究方向为电子元器件辐射效应及加速评估方法。



# 重离子轰击叠加伽马辐照对 VDMOS 的参数退化影响

李新宇<sup>1</sup>, 贾云鹏<sup>1</sup>, 周新田<sup>1</sup>, 王立昊<sup>1</sup>, 赵富杰<sup>1</sup>, 李园<sup>1</sup>, 赵元富<sup>1,2</sup>, 邓中翰<sup>1</sup>

(1. 北京工业大学, 北京 100124; 2. 北京微电子技术研究所, 北京 100076)

**摘要:** 本文研究了遭受重离子轰击的 VDMOS 在伽马射线辐照过程中的参数退化现象。在相同剂量的伽马射线辐照下, 遭受过重离子轰击的器件较未遭受过重离子轰击的器件产生了明显的静态参数退化, 例如阈值减小、漏电上升、导通电阻增大等。试验结果表明重离子轰击器件淀积能量产生电离总剂量效应, 形成额外的氧化层陷阱和界面缺陷, 在后续伽马辐照过程中进一步加剧器件的劣化程度。本文的研究结果可对探索功率半导体器件在宇航应用中的长期可靠性提供参考。

**关键词:** 抗辐照加固; 重离子轰击; 伽马射线辐照; 叠加效应

**中图分类号:** TN386.1

**文献标识码:** A

## Parameter Degradation of VDMOS Performed During Gamma Ray Irradiation After Heavy Ion Striking

Li Xinyu<sup>1</sup>, Jia Yunpeng<sup>1</sup>, Zhou Xintian<sup>1</sup>, Wang Lihao<sup>1</sup>, Zhao Fujie<sup>1</sup>, Li Yuan<sup>1</sup>, Zhao Yuanfu<sup>1,2</sup>, Deng Zhonghan<sup>1</sup>

(1. Beijing University of Technology, Beijing, 100124, China; 2. Beijing Microelectronics Technology Institute, Beijing, 100076, China)

**Abstract:** The parameter degradation of VDMOS performed during gamma ray irradiation after heavy ion striking is investigated in this paper. The device bombarded with heavy ion shows a significant degradation than that of the device only subjected to gamma ray irradiation under the same total ionizing dose, such as the decrease of threshold voltage, the increase of leakage current, and the deterioration of on-state resistance. The experimental results show that the energy deposited by heavy ion striking generates not only total ionizing dose effect, but also the extra oxide traps and interface defects, which will further degrade the performance of the device during subsequent gamma ray irradiation. The discoveries in this paper can provide a reference for exploring the long-term reliability of semiconductor power device in aerospace applications.

**Key words:** radiation-hardened; heavy ion striking; gamma ray irradiation; superposition effect

## 0 引言

硅基垂直双扩散 MOSFET (Vertical Double-diffused MOSFET, VDMOS) 具有开关速度高、开关损耗小、输入阻抗高等特性, 且由于其较低的成本、较大的安全工作区以及成熟的工艺, 被广泛应用于宇航系统中<sup>[1]</sup>。在太空应用中, 半导体器件在辐照环境下容易受到重离子轰击并在体内淀积能量, 导致器件发生参数退化甚至失效现象。单粒子效应 (Single Event Effect, SEE) 是器件由重离子轰击诱发失效的主要原因之一, 其中功率器件对单粒子栅穿 (Single Event Gate Rupture, SEGR) 和单粒子烧毁 (Single

Event Burnout, SEB) 更为敏感<sup>[2-5]</sup>。此外, 电离总剂量效应 (Total Ionizing Dose Effect, TID) 是导致器件发生电学参数退化的另一原因, 常见的表现为阈值减小, 漏电增大等<sup>[6-11]</sup>。先前大量的研究采用不同的方式方法探索分析半导体器件在辐照环境下发生退化及失效的机理, 并据此提出一系列提升器件可靠性的抗辐照加固技术<sup>[12-15]</sup>。为更好模拟器件在实际宇航应用环境下的表现, 一般采用重离子轰击试验测试器件的抗单粒子效应能力, 采用伽马射线辐照测试器件的抗电离总剂量效应能力<sup>[2-15]</sup>。然而, 两种类型的辐射同时存在于宇宙环境中, 且共同决定器件的退

化程度。重离子轰击试验虽然是功率器件抗单粒子效应的考核方式，但由于重离子入射器件体内淀积的能量会造成一定的累积损伤，同样容易导致发生参数退化<sup>[16-19]</sup>。例如 J.A.Felix 团队发现 MOSFET 在遭受重离子轰击后产生阈值退化，归因于界面态和氧化层俘获电荷的产生造成了微剂量效应<sup>[16]</sup>。这预示了实际空间环境中的重离子轰击辐照不仅可引起器件单粒子效应，还可能在引起器件累积电离损伤方面具有潜在的影响。

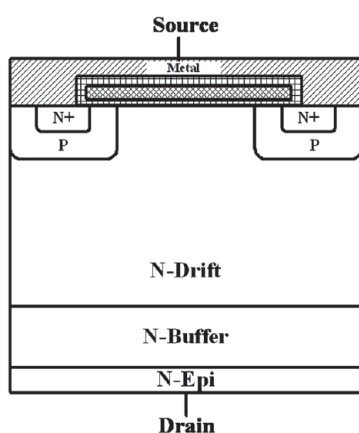


图1 n沟道VDMOS器件剖面图

Fig.1 Cross section of the n-channel VDMOS

本文研究了遭受重离子轰击后再进行<sup>60</sup>Co $\gamma$ 电离总剂量辐照实验对VDMOS的静态参数影响。遭受过重离子轰击的器件在进行电离总剂量辐照试验时，较未遭受重离子轰击的器件产生了更多的氧化层俘获电荷以及界面态，导致阈值电压、导通电阻、泄漏电流等静态电学参数劣化程度明显增加。此外，重复循环多次<sup>60</sup>Co $\gamma$ 辐照及后退火试验后，两类器件的劣化差进一步扩大。试验结果说明重离子轰击器件但未诱发单粒子效应的前提下，不仅会局部淀积能量使得器件呈现电离总剂量效应，还会产生额外的氧化层陷阱及界面缺陷，导致器件在随后<sup>60</sup>Co $\gamma$ 辐照中的退化程度进一步增加，潜在影响了器件在宇航应用中的长期可靠性。

## 1 试验设置

试验器件为采用抗辐照加固技术的200V VDMOS，其结构如图1所示。器件的元胞周期为8.5 $\mu$ m，外延层厚度约为30 $\mu$ m，使用条栅结构。制

造过程中使用800~900 $^{\circ}$ C的后栅氧工艺形成110纳米的栅氧化层。对于试验中被测试器件可以分为两类：首先进行叠加辐照试验的测试器件称为A类器件，即先进行重离子轰击再进行伽马射线辐照试验的器件；以及只进行伽马射线辐照试验而未进行过重离子轰击试验的测试器件称为B类器件。每一种类型的器件在进行试验时数量为5只，数据排除坏点后采用平均值。重离子试验采用钽离子辐照源，离子能量为2005.5MeV，线性能量传输值（Linear Energy Transfer, LET）为75.4MeV $\cdot$ cm<sup>2</sup>/mg，束流率为 $1 \times 10^4$ cm<sup>-2</sup> $\cdot$ s<sup>-1</sup>，总粒子数为 $2 \times 10^6$ cm<sup>-2</sup>，经计算在硅中淀积总能量约为2.4krad。总剂量试验的辐照源采用<sup>60</sup>Co $\gamma$ ，剂量率为50rad/s，最大累积总剂量为50krad。

根据美军标MIL-STD-750-1，方法1019.5所示，器件电离总剂量辐照后，需进行168小时100 $^{\circ}$ C退火。本文中所有器件在任意辐照试验以及后退火处理过程中都外加200V漏压，0V栅压的偏置条件。试验后的各项参数均在室温条件下使用Agilent B1505参数分析仪进行测试，其中阈值电压（ $V_{th}$ ）测试条件为 $V_{gs}=V_{ds}$ ， $I_d=0.1$ A；泄漏电流（ $I_{dss}$ ）测试条件为 $V_{ds}=200$ V， $V_{gs}=0$ V；导通电阻（ $R_{on}$ ）测试条件为 $V_{gs}=12$ V， $I_d=19$ A。

## 2 实验结果与分析

### 2.1 亚阈值特性曲线

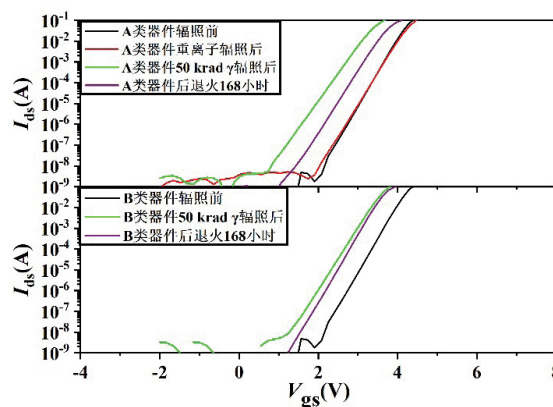


图2 A类和B类器件在重离子轰击后和<sup>60</sup>Co $\gamma$ 总剂量辐照试验后的转移特性曲线变化

Fig.2 Variety of characteristic curves of Type A and Type B after heavy ion striking and <sup>60</sup>Co $\gamma$  ray irradiation

图2展示了A类和B类器件分别进行重离子轰击和伽玛射线辐照后的转移特性曲线。A类器件在重离子轰击后的转移特性曲线(红色)较试验之前亚阈值斜率略微增大,由中带电压法可知器件的界面态有所增加<sup>[20]</sup>。补充50krad总剂量试验后,由于氧化层俘获电离产生的空穴,器件的转移特性曲线向左平移。A类器件较B类器件有更大的 $I-V$ 曲线向左平移量,以及更小的亚阈值曲线斜率。综合以上现象,证明重离子轰击不仅会在器件体内淀积能量产生微剂量效应,同时也会在 $^{60}\text{Co}\gamma$ 辐照过程中使器件形成更多的氧化层俘获电荷以及界面态,从而进一步加大器件的劣化程度。退化机理会在接下来部分进一步讨论。

## 2.2 电学参数变化

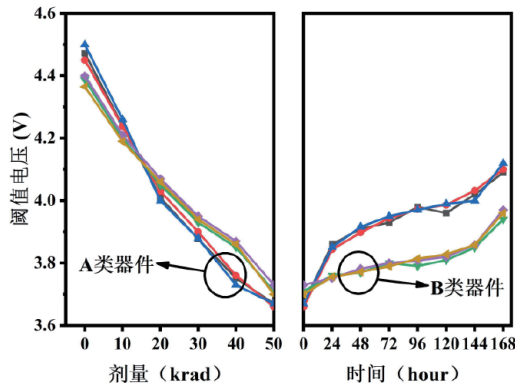


图3 A类和B类器件在 $^{60}\text{Co}\gamma$ 辐照和后退火处理中的阈值变化  
Fig.3 Variety of threshold voltage of Type A and Type B during  $^{60}\text{Co}\gamma$  ray irradiation and post-irradiation processes

图3为两类VDMOS在 $^{60}\text{Co}\gamma$ 辐照试验及后退火处理中的阈值电压变化。在下文讨论中, $^{60}\text{Co}\gamma$ 试验开始前可以认为A类器件已经遭受过重离子轰击,B类器件是全新器件。此时A类器件的阈值略高于B类器件,这是由钽离子入射器件时在硅和二氧化硅界面产生的界面态所致。对于NMOS器件,这类界面态一般呈正电性,导致阈值增加。此外,在200V漏偏和0V栅偏条件下,伽马射线的电离能量在栅氧化层内产生的空穴在电场作用下向栅电极移动,电子向硅和二氧化硅界面处移动。由于空穴迁移率较小,更易在移动过程中被氧化层中的陷阱俘获,成为氧化层

陷阱电荷,导致器件的阈值电压减小。器件的阈值电压变化由界面态和氧化层俘获电荷共同决定。在相同剂量的伽马射线辐照中,A类器件的阈值电压比B类器件的阈值电压减小幅度更大。这是由于重离子入射进器件内部时会在栅氧化层形成额外的氧化层陷阱,导致在电离总剂量辐照中产生的空穴被俘获的数量增加。而阈值电压减小可以推断出氧化层俘获电荷数量一定高于界面态产生数量。此外,在高温退火期间,阈值电压部分恢复,这是由于被俘获的氧化层电荷对环境温度敏感,外界高温可以提供能量使其逃逸出氧化层陷阱,进而减小器件的劣化程度<sup>[21]</sup>。

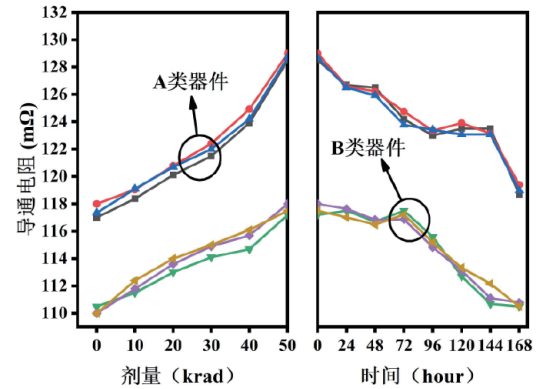


图4 A类和B类器件在 $^{60}\text{Co}\gamma$ 辐照和后退火处理中的导通电阻变化  
Fig.4 Variety of  $R_{on}$  of Type A and Type B during  $^{60}\text{Co}\gamma$  ray irradiation and post-irradiation processes

图4为A类和B类器件的导通电阻( $R_{on}$ )在 $^{60}\text{Co}\gamma$ 辐照及后退火处理过程中的变化。重离子辐照时产生的界面态导致沟道载流子迁移率下降,使得在总剂量辐照试验开始前A类器件的导通电阻大于B类器件。在50krad $^{60}\text{Co}\gamma$ 辐照后,两类器件的导通电阻持续增加,其中A类器件的导通电阻增加量明显更大。这是因为尽管A类器件在电离总剂量辐照后存在更明显的阈值电压退化,其仍旧产生了比B类器件更高数量的界面态。这些界面态是重离子轰击形成的额外界面缺陷与在伽马射线辐照过程中电离产生的空穴反应形成的。该额外产生的界面态导致沟道载流子的迁移率进一步降低,从而增大了导通电阻。图4右图可以看出,168小时的100℃高温退火可以部分恢复器件的导通电阻。

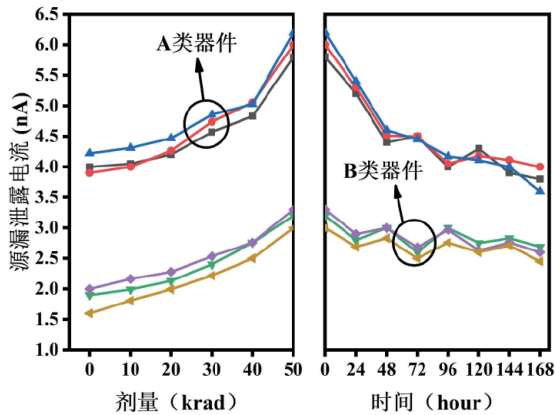


图5 A类和B类器件在 $^{60}\text{Co}\gamma$ 辐照和后退火处理中的漏电流变化  
Fig.5 Variety of leakage current of Type A and Type B during  $^{60}\text{Co}\gamma$  ray irradiation and post-irradiation processes

图5展示了两类被测器件在 $^{60}\text{Co}\gamma$ 辐照试验及后退火处理过程中的源漏泄漏电流变化。A类器件的泄漏电流明显大于B类器件，归因于重离子辐照后产生可以作为复合中心能级的缺陷能级。在室温反向偏置条件下测试时，电子和空穴跃迁至复合能级形成复合电流，导致泄漏电流增大。在辐照试验后168小时100℃高温后退火过程中，泄漏电流恢复程度较高。

综上所述，器件遭受重离子轰击后在伽马射线辐照试验中展现出的所有静态电学参数劣化程度都明显高于只进行伽马射线辐照的器件。这一现象验证了重离子轰击对器件造成不同于 $^{60}\text{Co}\gamma$ 的辐照损伤，除电离产生电子-空穴对，氧化层俘获电荷及界面态外，额外形成的氧化层陷阱及界面处损伤对参数退化的影响会在电离总剂量辐照中被显现并进一步放大。

## 2.3 界面态和氧化层俘获电荷分析

本文使用中带电压法来分析器件在辐照前后界面态和氧化层俘获电荷数量的变化<sup>[22-24]</sup>。中带电压处在亚阈值区时的亚阈值电流如公式(1)：

$$I_d = \mu \left( \frac{W}{L} \right) \left( \frac{\varepsilon_s}{2\beta 2L_D} \right) \left( \frac{n_i}{N_A} \right)^2 (1 - e^{-\beta V_D}) (\beta \phi_s)^{-\frac{1}{2}} e^{\beta \phi_s} \\ = I_{d0}(V_d) e^{(\beta \phi_s)(\beta \phi_s)^{-\frac{1}{2}}} \quad (1)$$

其中将中带时器件的表面电势带入公式(1)可算出中带电流，中带电流和亚阈值曲线的交点就是中带电压 $V_{mg}$ 。当器件的费米能级和禁带中央重合时，

可以认为界面态呈电中性，此时影响中带电压的主要为氧化层陷阱电荷，其带来的电压变化为 $\Delta V_{ot}$ 。对应的界面态引起的电压变化 $\Delta V_{it}$ 可以通过阈值电压变化 $\Delta V_{th}$ 求得，如公式(2)(3)：

$$\Delta V_{ot} = \Delta V_{mg} = V_{mg2} - V_{mg1} \quad (2)$$

$$\Delta V_{it} = \Delta V_{th} - \Delta V_{ot} \quad (3)$$

对应的，氧化层陷阱电荷数量 $\Delta N_{ot}$ 和界面态陷阱数量 $\Delta N_{it}$ 可通过公式(4)和(5)求得：

$$\Delta N_{ot} = C_{ox} * \Delta V_{ot} / q \quad (4)$$

$$\Delta N_{it} = C_{ox} * \Delta V_{it} / q \quad (5)$$

其中 $C_{ox}$ 为栅氧化层电容。在此条件下，只需知道栅氧化层厚度，即可求得 $\Delta N_{ot}$ 和 $\Delta N_{it}$ 。

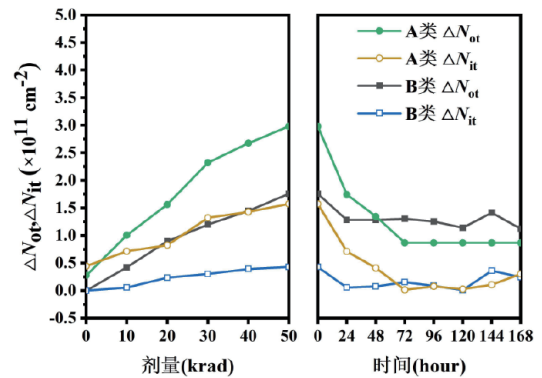
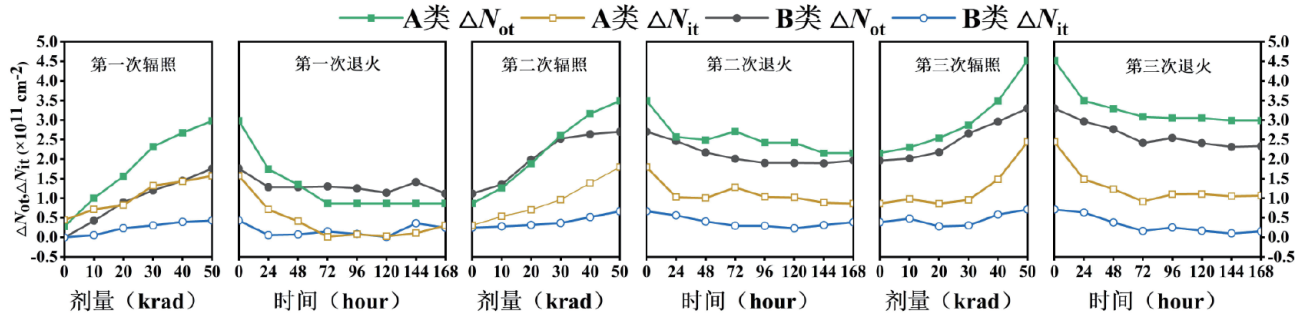


图6 A类和B类器件在 $^{60}\text{Co}\gamma$ 辐照和后退火处理中的 $\Delta N_{ot}$ 和 $\Delta N_{it}$ 变化

Fig.6 Variety of  $\Delta N_{ot}$  and  $\Delta N_{it}$  of Type A and Type B during  $^{60}\text{Co}\gamma$  ray irradiation and post-irradiation processes

图6为A类器件和B类器件在 $^{60}\text{Co}\gamma$ 辐照前(其中A类器件已经进行过重离子轰击试验)、辐照后以及后退火处理过程中的界面态和氧化层俘获电荷的数量变化。A类器件在用 $^{60}\text{Co}\gamma$ 辐照前(仅进行重离子辐照试验后)， $\Delta N_{ot}$ 和 $\Delta N_{it}$ 较B类器件已经有所增加。与前文分析类似， $\Delta N_{ot}$ 是由于重粒子轰击入射器件内部时，穿过氧化层的过程中淀积了能量并电离产生了电子-空穴对，空穴由于迁移率较低更易被栅氧化层中的缺陷俘获，导致俘获电荷的数量增大。不同于 $^{60}\text{Co}\gamma$ 总剂量效应在氧化层中均匀电离现象，重粒子在氧化层中淀积的能量一般在粒子入射路径附近，是局部的。但如果重粒子入射密度足够大，也会发生较为均匀的电离总剂量效应。 $\Delta N_{it}$ 的增长



图7 A类和B类器件在多次 $^{60}\text{Co}\gamma$ 辐照和后退火处理中的 $\Delta N_{\text{ot}}$ 和 $\Delta N_{\text{it}}$ 变化Fig.7 Variety of  $\Delta N_{\text{ot}}$  and  $\Delta N_{\text{it}}$  of Type A and Type B during multiple  $^{60}\text{Co}\gamma$  irradiation and post-irradiation processes

是由于界面态的数量的增加,其原因可以被概括为以下两点:(1)高能粒子穿过氧化层时,形成一个高密度电子-空穴对产生区,在库仑力的作用下,硅原子和氧原子断裂共价键,在硅和二氧化硅界面处形成位移损伤,或者(2)粒子直接作用导致硅-氢键断裂形成界面态<sup>[25-27]</sup>。此外,高能粒子入射器件内部同时会提升近界面处陷阱密度,更多的空穴在后续总剂量辐照过程中被俘获,进而堆积形成一个从栅电极向硅-二氧化硅界面的内建电场,加速 $^{60}\text{Co}\gamma$ 辐照产生的新生空穴向界面移动,与之前打破的硅-氢键反应形成更多的界面态,从而增加了 $\Delta N_{\text{it}}$ <sup>[28]</sup>。此外,高温持续退火提供能量释放被俘获的氧化层陷阱的空穴以及饱和部分界面处的悬挂键,达到降低 $\Delta N_{\text{ot}}$ 和 $\Delta N_{\text{it}}$ 的效果。

#### 2.4 多次伽玛辐照试验和后退火处理的 $\Delta N_{\text{ot}}$ 和 $\Delta N_{\text{it}}$

本文同时研究了两类器件进行多次伽马射线辐照和后退火处理的循环试验。图7提取了A类和B类器件进行多次重复循环试验中的 $\Delta N_{\text{ot}}$ 和 $\Delta N_{\text{it}}$ 。无论是A类器件还是B类器件,在重复循环三次伽马射线辐照及后退火试验后, $\Delta N_{\text{ot}}$ 和 $\Delta N_{\text{it}}$ 较只进行一次循环试验时明显增加。这一现象说明100℃高温退火可以恢复部分辐照造成器件的劣化,但是不能完全恢复到初始值。并且随着重复循环试验次数的增加,A类器件的劣化程度较B类器件的逐渐增大。根据不同器件类型及不同生产工艺,这一劣化程度差的大小也有所不同,最差甚至可能导致器件失效。在太空实际应用中,半导体功率器件本身就处在一个高

低温循环辐照环境下,如果在应用中遭受了重离子轰击,将极大概率无法保证其在接下来的太空应用中的长期可靠性。

### 3 结论

本文研究了重离子轰击对VDMOS在电离总剂量辐照中的参数退化影响。试验结果表明器件在钽粒子轰击后未失效的前提下,会形成少量的界面态,导致静态电学参数性能略微下降。在随后 $^{60}\text{Co}\gamma$ 试验中,遭受过重离子轰击的器件较只进行 $^{60}\text{Co}\gamma$ 的器件电学参数退化程度明显增加,且该劣化程度在重复循环伽马射线辐照及后退火处理后进一步增大。这一现象证明了重离子入射器件体内淀积的能量除电离产生电子-空穴对,形成电离总剂量效应外,还会伴随引入额外的氧化层陷阱及界面处缺陷,这一潜在威胁会在 $^{60}\text{Co}\gamma$ 电离总剂量辐照中加大器件的退化。在宇航应用中一直存在叠加辐照效应,如果器件遭受了重离子轰击但没有产生明显失效和参数退化的情况下,仍旧可能会对其长期可靠性产生潜在威胁。此外,本文中器件辐照的剂量较小,器件类型较为单一,电学参数比较种类较少,在后续调研中应进一步调整优化。

### 参考文献 (References)

- [1] PARK M S, NA I M, LEE C I, et al, DCIV and spectral charge-pumping studies of  $\gamma$ -ray and X-ray irradiated power VDMOSFET devices, IEEE Transactions on Nuclear Science, 2002, 49(6): 3230-3327.

- [2] ALLENSPACH M, DACHS C, JOHNSON G, et al, SEGR and SEB in n-channel power MOSFETs, IEEE Transactions on Nuclear Science, 1996, 43(6): 2927–2931.
- [3] MOURET I, CALVEL P, ALLENSPACH M, et al, Measurement of a cross-section for single-event gate rupture in power MOSFETs, IEEE Electron Device Letters, 1996, 17(4): 163–165.
- [4] LIU S, TITUS J L, DICIENZO C, et al, Recommended test conditions for SEB evaluation of planar power DMOSFETs, IEEE Transactions on Nuclear Science, 2008, 55(6): 3122–3129.
- [5] EMELIYANOV V V, VATUEV A S, USEINOV G, New insight into heavy ion induced SEGR: impact of charge yield, IEEE Transactions on Nuclear Science, 2016, 63(4): 2176–2182.
- [6] PENG C, HU Z, NING B, et al, Total-ionizing-dose induced coupling effect in the 130-nm PDSOI I/O nMOSFETs, IEEE Electron Device Letters, 2014, 35(5): 503–505.
- [7] ZHOU X, YUAN Z, SHU L, et al, Total-ionizing-dose irradiation-induced dielectric field enhancement for high-voltage SOI LDMOS, IEEE Electron Device Letters, 2019, 40(4): 593–596.
- [8] FELIXJ A, SHANEYFELT M R, DODD P E, et al, Radiation-induced off-state leakage current in commercial power MOSFETs, IEEE Transactions on Nuclear Science, 2005, 52(6): 2378–2386.
- [9] FLEETWOOD M, Total ionizing dose effects in MOS and low-dose-rate-sensitive linear-bipolar devices, IEEE Transactions on Nuclear Science, 2013, 60(3): 1706–1730.
- [10] ILIK S, KABA OGLU A, SOLMAZN S, et al, Modeling of total ionizing dose degradation on 180-nm n-MOSFETs using BSIM3, IEEE Transactions on Electron Devices, 2019, 66(11): 1–6.
- [11] LENA HANP M, DRESSENDORFER V, Hole traps and trivalent silicon centers in metal-oxide-silicon devices. Journal of Applied Physics, 1984, 55(10): 3495.
- [12] WHEATLEY C F, TITUS J L, BURTON D I, et al, SEGR response of a radiation-hardened power MOSFET technology, IEEE Transactions on Nuclear Science, 1996, 43(6): 2944–2951.
- [13] LAUENSTEIN J, LADBURY R L, GOLDSMAN N, et al, Interpreting space-mission LET requirements for SEGR in power MOSFETs, IEEE Transactions on Nuclear Science, 2010, 57(6): 3443–3449.
- [14] WAN X, ZHOU W S, REN S, et al, SEB hardened power MOSFETs with high-K dielectrics, IEEE Transactions on Nuclear Science, 2015, 62(6): 2830–2836.
- [15] ROHY T, LEE H C, Layout modification of a PD-SOI n-MOSFET for total ionizing dose effect hardening, IEEE Transactions on Electron Devices, 2019, 66(1): 308–315.
- [16] FELIX J A, SHANEYFELT M R, SCHWANK J R, et al, Enhanced degradation in power MOSFET devices due to heavy ion irradiation, IEEE Transactions on Nuclear Science, 2007, 54(6): 2181–2189.
- [17] MARTINELLA C, STARK R, ZIEMANN T, et al, Current Transport Mechanism for Heavy-Ion Degraded SiC MOSFETs, IEEE Transactions on Nuclear Science, 2007, 66(7): 1702–1709.
- [18] MARTINELLA C, ZIEMANN T, STARK A, et al, Heavy-Ion Microbeam Studies of Single-Event Leakage Current Mechanism in SiC VD-MOSFETs, IEEE Transactions on Nuclear Science, 2020, 67(7): 1381–1389.
- [19] MIZUTA E, KUBOYAMA S, ABE H, et al, Investigation of Single-Event Damages on Silicon Carbide (SiC) Power MOSFETs, IEEE Transactions on Nuclear Science, 2014, 61(4): 1381–1389.
- [20] PETERS D, AICHINGER T, BASLER T, et al, Investigation of threshold voltage stability of SiC MOSFETs, IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD), 2018.
- [21] ZHOU X, SUH, WANG Y, et al, Investigations on the degradation of 1.2-kV 4H-SiC MOSFETs under repetitive short-circuit tests, IEEE Trans. Electron Devices, vol. 63, no. 11, 264: 4346–4351, Nov. 2016,

- doi: 10.1109/TED.2016.2606882.
- [22] MCWHORTER J, WINOKURP S, Simple technique for separating the effects of interface traps and trapped oxide charge in metal oxide semiconductor transistors, *Applied Physics Letters*, 1986, 48(2): 133–135.
- [23] DASGUPTA S, BROCK R, KAPLAR R, et al, Extraction of trapped charge in 4H-SiC metal oxide semiconductor field effect transistors from subthreshold characteristics, *Applied Physics Letters*, 2011, 99(2): 023503(1–3).
- [24] PENG L, HU D, JI A Y, et al, Analysis on the rapid recovery of irradiated VDMOSFETs by the positive high electric field stress, *IEEE Transactions on Nuclear Science*, 2017, 64(10): 2633–2638.
- [25] KOHM, OHDOMARII, LGARASHI K, et al, Quantitative characterization of ion-induced SiO<sub>2</sub>/Si interface traps by means of MeV He single-ion irradiation, *Journal of Applied Physics*, 1999, 85(11): 7814–7818.
- [26] KOHM, IGARASHI K, SUGIMOTO T, et al, Quantitative estimation of generation rates of Si/SiO<sub>2</sub> interface defects by MeV He single ion irradiation. *IEEE Transactions on Nuclear Science*, 1996, 43(6): 2952–2959.
- [27] SHINDE N, BHORASKAR V N, DHOLE S D, Swift heavy-ion induced trap generation and mixing at Si/SiO<sub>2</sub> interface in depletion n-MOS, *Nuclear Instruments and Methods in Physics Research*, 2006, 242(1–2): 659–662.
- [28] WINOKURP S, BOESCH H E, MCGARRITY J M, et al, Two-stage process for buildup of radiation-induced interface states, *Journal of Applied Physics*, 1979, 50(5): 3492–3494.

**作者简介:**

李新宇 (1995—), 男, 山东省德州市人, 在读博士, 主要研究方向为功率器件的抗辐照加固。

# 考虑次级效应和版图布局的纳米 CMOS 电路单粒子效应电路级仿真方法

丁李利, 陈 伟, 王 坦, 张凤祁, 王定洪

(西北核技术研究所, 强脉冲辐射环境模拟与效应国家重点实验室, 陕西 西安 710024)

**摘 要:** 针对电子器件特征尺寸持续降低后带来的单粒子效应电荷收集机制日趋复杂、难以准确建模的问题, 实现了典型纳米尺度工艺下电荷共享的解析描述, 提出一种重离子入射版图不同位置时考虑扩散收集、节点电压反馈、寄生双极放大等次级效应的电流脉冲重构方法, 解决了版图特征提取、电路网表激励项添加等技术难题, 确立了体硅 CMOS 工艺单粒子效应电路级仿真的完整流程, 提出并建立了考虑次级效应和版图布局的 CMOS 电路单粒子效应电路级仿真方法。基于纳米尺度测试芯片的辐照试验结果验证了仿真方法的准确性。

**关键词:** 单粒子效应; 电路级仿真; 纳米 CMOS 电路; 次级效应; 版图布局

**中图分类号:** TN386.1 **文献标识码:** A

## Modeling the Dependence of Single Event Transients on Strike Location and Secondary Effects for Circuit-Level Simulation in Nano-Scale CMOS Electronics

Ding Lili, Chen Wei, Wang Tan, Zhang Fengqi, Wang Dinghong

(State Key Laboratory of Intense Pulsed Radiation Simulation and Effect, Northwest Institute of Nuclear Technology, Xi'an, 710024, China)

**Abstract:** Along with the decrease in feature size of electronic device, multiple nodes charge collection cause strong interference between adjacent transistors, secondary effects cannot be ignored. This brings up new challenge for simulation technique. In this paper, multiple-transistor charge sharing was accounted for in circuit-level simulation of nano-scale electronics. The method of rebuilding single event transients dependent on strike location was proposed with diffusion collection, node voltage feedback, bipolar amplification effects considered. Problems of layout characteristics extraction and single event transients introduction to netlist were solved. A whole procedure flow of the proposed circuit-level simulation technique was established for bulk CMOS technology. In addition, good agreement with experiment results has been reached, proving the reasonableness of the proposed circuit-level SEE (Single Event Effects) simulation approach.

**Key words:** single event effects; circuit-level simulation; nano-scale CMOS electronics; secondary effects; layout characteristics

## 0 引言

随着电子器件特征尺寸不断降低, 相邻晶体管之间间距减小, 特别是纳米尺度 CMOS 工艺出现了明显的多节点电荷收集<sup>[1-4]</sup>。近年来, 多篇文献报道了考虑版图布局的单粒子效应电路级仿真方法, 所有可能受到影响的节点都必须引入单粒子瞬态电流源。

现有方法中部分采用参数化建模, 假设单粒子效应引发瞬时扰动的时间参数固定不变, 仅电荷量

随入射位置变化而变化<sup>[5-8]</sup>。部分借助蒙特卡洛仿真, 如 MRED, 建模时考虑多个灵敏体, 认为其中沉积的电荷全部被节点收集<sup>[9,10]</sup>。电荷量将被转换为峰值电流随之变化、时间参数固定不变的双指数电流源。Kaupila 等人提出了一种同时参数化收集电荷、时间参量的方法, 以敏感节点与重离子入射位置之间的间距值作为自变量<sup>[11]</sup>。该方法能够实现基于任意位置注入瞬态扰动, 但仍存在需改进的方面: 首先, 参数化是以敏感节点对应的栅极 / 漏区交界线和重离子

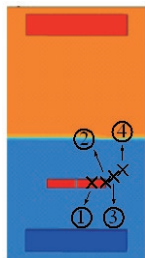


入射位置中心点之间的一维间距值作为自变量，没有考虑到结区的形状和面积贡献；其次，默认初始电荷收集产生的单粒子瞬态电流始终服从双指数电流源形式，Artola 等人计算得到的结果表明，重离子轰击位置偏离有源区时，电流脉冲可能明显偏离双指数电流源的经典描述<sup>[12]</sup>。除此之外，现有方法中对于寄生双极放大效应的描述仍然存在不足，由于衬底电势在受单粒子效应影响的整个区域内呈现出一定的分布，寄生效应的严重程度必然与入射位置相关。文献[7]和[11]中利用电流增益描述寄生双极放大效应对于单粒子瞬态电流的调制作用，其数值设定为仅受重离子 LET 值调控甚至为恒定常数。

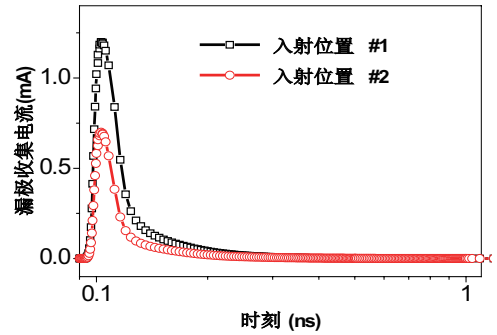
本文将介绍一种考虑次级效应和版图布局的 CMOS 电路单粒子效应电路级仿真方法，重点解决参数化建模中单粒子效应瞬态电流受有源区版图布局影响与次级效应合理建模的难题，通过针对主要收集机制及次要收集机制分别进行解析描述，实现了 CMOS 电路单粒子效应敏感性的准确预估。

## 1 入射位置对单粒子瞬态脉冲的影响

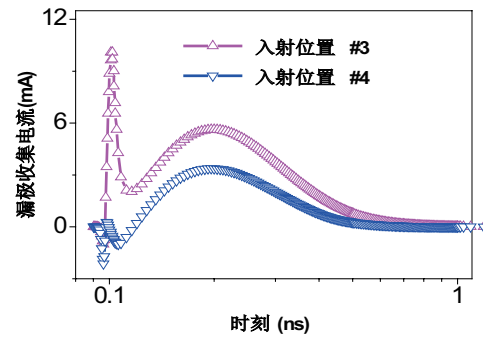
参见文献[13]和[14]，研究单粒子效应敏感性最常见的设置是重离子入射反偏漏结中心，此时得到的单粒子瞬态脉冲服从经典双指数电流源形式。当重离子入射任意位置时，情况可能明显不同。本文以某商用 40nm CMOS 工艺为主要研究对象，依据工艺信息校准得到三维器件模型中的结构和掺杂分布等信息<sup>[15,16]</sup>。设定重离子垂直入射，横向过剩载流子服从高斯分布，特征半径为  $0.1\mu\text{m}$ ，图 1 所示为利用 TCAD(Technology Computer-Aided Design) 仿真计算得到不同入射位置情况下的单粒子瞬态脉冲。



(a)



(b)



(c)

图 1 TCAD 计算得到重离子入射不同位置 (a) 时的瞬态电流脉冲 (b) 和 (c)

Fig.1 With heavy ion striking at various locations (a) and TCAD calculated transient current pulses (b)(c)

入射位置 1（反偏漏结中心）时，漏极收集到的瞬态电流脉冲基本符合双指数电流源形式，这和经典认识是一致的，此时漂移收集占据主导地位。入射位置 2（反偏漏结边缘）时，漏极电流脉冲仍基本符合双指数电流源形式，但幅值明显降低，说明漂移收集变弱。入射进一步远离漏结中心的位置 3 时，此时漏极电流脉冲由双峰组成，第一个峰对应峰值时刻与入射位置 1、2 时类似，第二个对应的是扩散收集组分的贡献，特征时间为 100ps 左右<sup>[12]</sup>。入射更远的位置 4 时，电流脉冲仍由双峰组成，但第一个峰的峰值已基本消失。对比两个电流峰峰值时间的差异，说明分别对应着漂移和扩散收集，在重构重离子入射不同位置时的电流脉冲时，漂移组分与扩散组分都需要加以考虑。

## 2 仿真方法介绍

引入无量纲漂移因子和扩散因子作为二维自变

量，用于参数化漂移收集和扩散收集对应的电荷及脉冲时间特征。漂移因子表征直接入射到有源区的过剩载流子比例，可以通过对有源区离散化后积分求取，如图 2 所示。

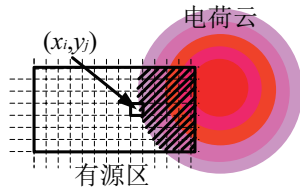


图 2 计算漂移因子数值的示意图

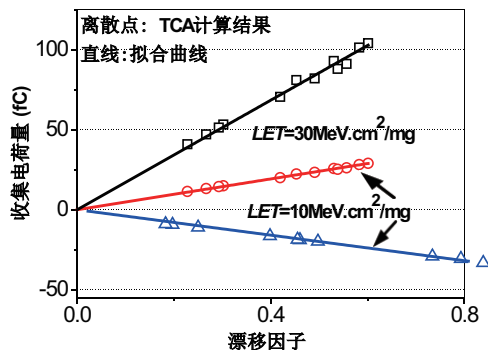
Fig.2 Principle of calculating the drift factor value

假设过剩载流子形成的电荷云横向分布符合高斯分布，漂移因子的解析表达式可以表示为：

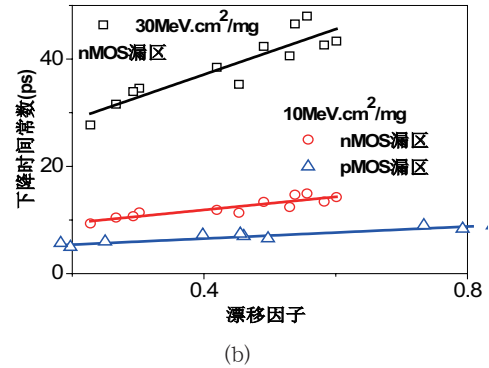
$$Drift\_factor = \frac{\sum_{x_i} \sum_{y_l} \exp\left(-\frac{(x_i - x_0)^2 + (y_j - y_0)^2}{R_0^2}\right) dx_i dy_i}{\sum_{x_i} \sum_{y_j} dx_i dy_i} \quad (1)$$

其中  $(x_0, y_0)$  表征入射点坐标， $(x_i, y_j)$  表示选定有源区离散区域的中心坐标， $R_0$  表征电荷云横向分布的特征半径。

对于电荷云和有源区明显重合的入射位置（此时有源区与以入射位置为圆心，以高斯分布特征半径为半径的圆形区域有交叠），漂移收集占据主导地位。如图 3(a) 和图 3(b) 所示，此时无论是 nMOS 漏极电流脉冲还是 pMOS 漏极电流脉冲，总收集电荷和下降时间均表现出和漂移因子极强的线性依赖关系。这说明利用二维漂移因子参数参数化漂移电流脉冲是合理的。



(a)



(b)

图 3 单粒子电流脉冲的总电荷量 (a) 和下降时间参数 (b) 随漂移因子的变化关系

Fig.3 Dependence of collected charge (a) and falling time constant (b) of SEE current pulses on the drift factor values

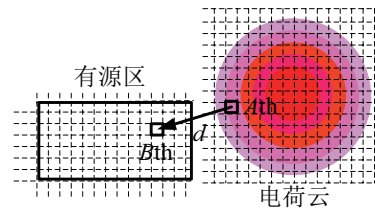


图 4 计算扩散因子数值的示意图

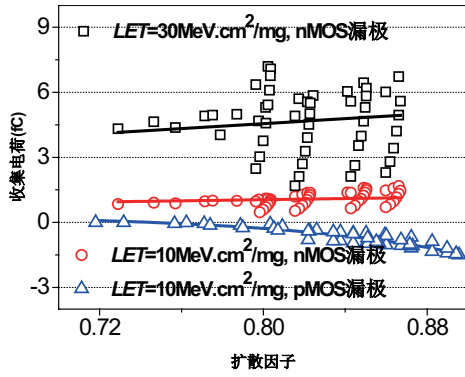
Fig.4 Principle of calculating the diffusion factor value

扩散因子表征过剩载流子能够通过扩散作用到达灵敏区被收集的比例，如图 4 所示，对于电荷云中的离散化区域 A，过剩载流子能够扩散至有源区离散化区域 B 的可能性正比于  $\exp(-d^2/4Dt)$ ，其中  $d$  代表离散化区域 A、B 之间的间距， $D$  和  $t$  均为扩散常数，二者取值分别约为  $18 \text{ cm}^2/\text{s}$  和  $3 \text{ E}-10 \text{ s}$ <sup>[12]</sup>。假设过剩载流子形成的电荷云横向分布符合高斯分布，扩散因子的解析表达式可以表示为：

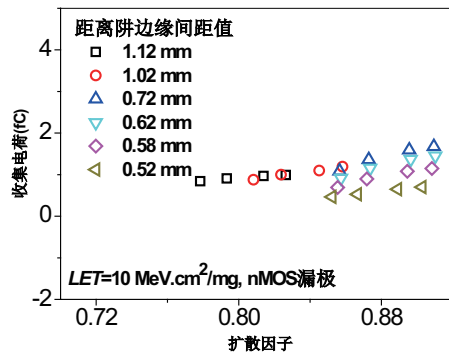
$$Diffusion\_factor = \left( \sum_{x_i} \sum_{y_j} \sum_{x_k} \sum_{y_l} \exp\left(-\frac{(x_i - x_k)^2 + (y_j - y_l)^2}{4Dt}\right) \cdot \exp\left(-\frac{(x_i - x_0)^2 + (y_j - y_0)^2}{R_0^2}\right) \right) \cdot (\sum_{x_k} \sum_{y_l} dx_k dy_l)^{-1} \quad (2)$$

其中  $(x_0, y_0)$  表征入射点坐标， $(x_i, y_j)$  代表以

入射位置为中心、电荷云中离散化区域A的中心坐标,  $(x_k, y_l)$  代表有源区离散区域B的中心坐标,  $R_0$  表征电荷云横向分布的特征半径。



(a)



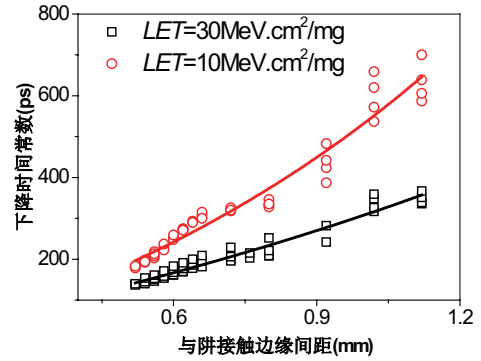
(b)

图5 单粒子电流脉冲的总电荷量随扩散因子(a)和距离阱边界间距(b)的变化关系

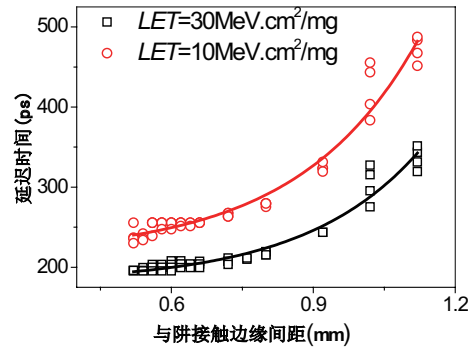
Fig.5 Dependence of collected charge of SEE transient pulses on the diffusion factor values (a) and the distance with Nwell/Pwell edge (b) when striking away from the active regions

对于电荷云远离有源区的入射位置(此时有源区与以入射位置为圆心,以高斯分布特征半径为半径的圆形区域没有交叠),扩散收集占据主导地位。图5(a)所示为总收集电荷随扩散因子的变化关系,可以看出部分数据点明显偏离线性拟合曲线,图5(b)给出了更多的计算细节,随着有源区与阱间距之间距离的增加,这种偏离或扰动明显变强,这说明是由于N阱阱接触与P阱阱接触之间电荷收集的调制作用。除此之外,当扩散收集占主导时,包括下降时间常数和脉冲延迟时间均和距离阱接触间距值表现出唯一的相

关性,如图6所示,近似服从指数关系。



(a)

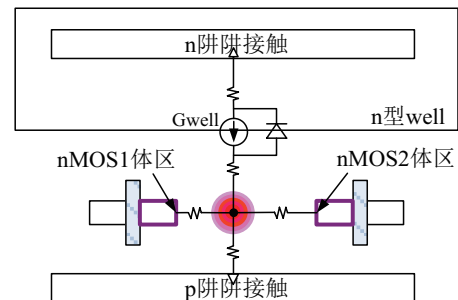


(b)

图6 下降时间常数(a)和脉冲延迟时间(b)随有源区距离阱间距之间距离的变化关系

Fig.6 Dependence of the falling time constant (a) and pulse delay (b) of diffusion current pulse on the distance between the drain active region and the N-well/P-well edge

为描述阱电势调制和寄生双极放大效应的影响,在n阱阱接触与p阱阱接触之间构建完整的电流通路,如图7所示,在晶体管漏极与衬底间嵌入单粒子瞬态模型的基础上,在n阱阱接触与p阱阱接触之间同时连接等效电阻和等效电流源。



(a)

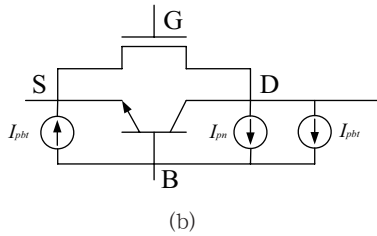


图 7 针对阱电势调制 (a) 和双极放大效应 (b) 建模的示意图  
Fig.7 Schematic of modeling potential modulation (a) and bipolar amplification effects(b)

对于 nMOS 管,随着衬底电势持续增加,“基极-发射极”电流开始在晶体管源级与衬底之间流动,晶体管实际收集到的电流值  $I(d, b)$  可以表示为:

$$I(d, b) = I_{pn} + I_0 \cdot \exp\left(\frac{V_{bs} \cdot q}{kT}\right) \cdot \exp\left(\frac{V_{db}}{C_1}\right) \quad (3)$$

其中  $I_{pn}$  代表仅考虑漂移与扩散收集时得到的单

粒子瞬态电流,  $I_{pbt}$  代表由于寄生双极管开启对应的电流组分,  $I_0$  代表源级与衬底之间偏压  $V_{bs}$  等于零时的泄漏电流。

基于以上分析及建模,确立了体硅 CMOS 工艺单粒子效应电路级仿真的完整流程并编程加以实现,输入文件包括工艺信息 (PDK 模型卡) 和电路版图,输出文件包括单粒子效应敏感区域热点图、翻转截面数据及电路瞬态响应等,如图 8 所示。所确立的仿真流程包含两大部分:模型库构建及电路单粒子效应敏感性评价。

模型库构建部分首先基于 PDK 模型卡通过校准晶体管电学特性获取器件仿真所需结构与掺杂信息,其次结合器件仿真获取电阻阻值与有源区接触面积及有源区间距之间的解析表达式,同时通过构建单管

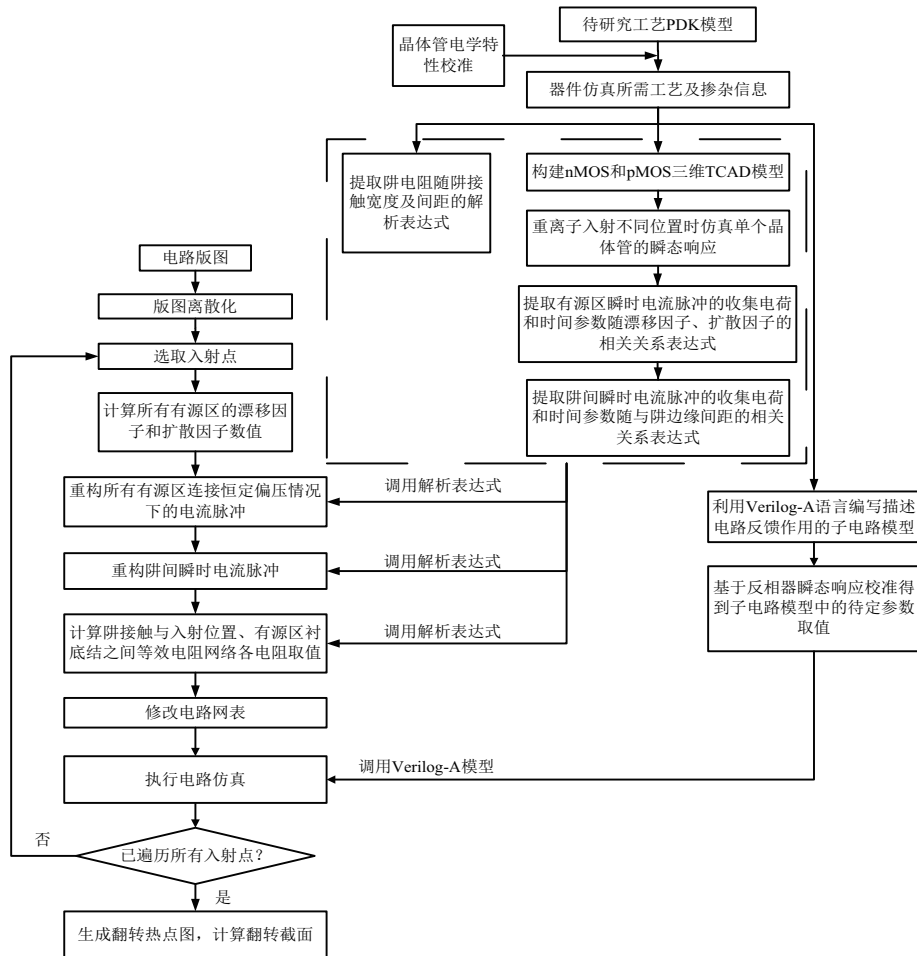


图 8 体硅 CMOS 工艺单粒子效应电路级仿真的完整流程

Fig.8 Approach flow of the proposed circuit-level SEE simulation for bulk CMOS technology



TCAD 器件模型、针对不同  $LET$  值重离子入射不同位置情况执行瞬态仿真，获取瞬时收集电流总电荷与时间特性随所定义自变量漂移因子及扩散因子的解析表达式及拟合参数取值，获取阱间收集电流总电荷与时间特性随入射位置与 n 阱 / p 阱交界处之间间距的解析表达式及拟合参数取值。随后，利用 Verilog-A 编程语言编写以单管瞬时收集电流作为输入量，考虑电路对节点偏压调制作用的子电路模型，其中拟合参数的取值基于对单倍驱动能力反相器单粒子瞬态响应的校准而获取。

电路单粒子效应敏感性评价部分首先对电路版图进行离散化，离散化后的每个格点均作为待研究的重离子入射点。所有有源区均自动计算漂移因子、扩散因子、与阱交界处及入射点的相对距离，通过调用模型库中解析表达式重构各有源区的瞬时电流脉冲，幅值高于  $0.1\mu\text{A}$  (数值可调) 时对应源区将通过调用模型库中 Verilog-A 编制的子电路模型将扰动注入到电路节点中。与此同时，在 n 阱阱接触与 p 阱阱接触间引入计算出的瞬时电流源及电阻网络，用于实时监测各有源区衬底电势的变化并定量评价双极放大效应带来的影响。在此基础上执行电路仿真即可评价待研究电路的单粒子响应，记录瞬态波形或监测是否发生状态翻转。通过遍历所有离散点即可获取电路的单粒子效应敏感区域热点图及翻转截面数据。

### 3 结果与讨论

利用多种方式开展了电路级仿真结果的校验，重离子入射反相器链两个 nMOS 管和 pMOS 管中间位置时，当两个 MOS 管之间间距 ( $DA$ ) 相邻足够近时 (仍需满足版图设计规则)，很可能发生脉宽猝熄现象。图 9 给出了四级反相器的输出电压，此时重离子  $LET=10\text{MeV}\cdot\text{cm}^2/\text{mg}$ ，当间距值  $DA=0.4\mu\text{m}$  时，电路仿真和 TCAD 仿真符合较好，而当间距值  $DA=0.15\mu\text{m}$  时，电路仿真和 TCAD 仿真结果均表征出相对于宽间距情况下瞬态脉冲宽度变窄的现象，这与文献中报道的由于电荷共享引发的脉冲猝熄现象相一致<sup>[17]</sup>，说明电路级仿真同样可以预测 nMOS 管

间距不同时单粒子瞬态脉冲的传播。

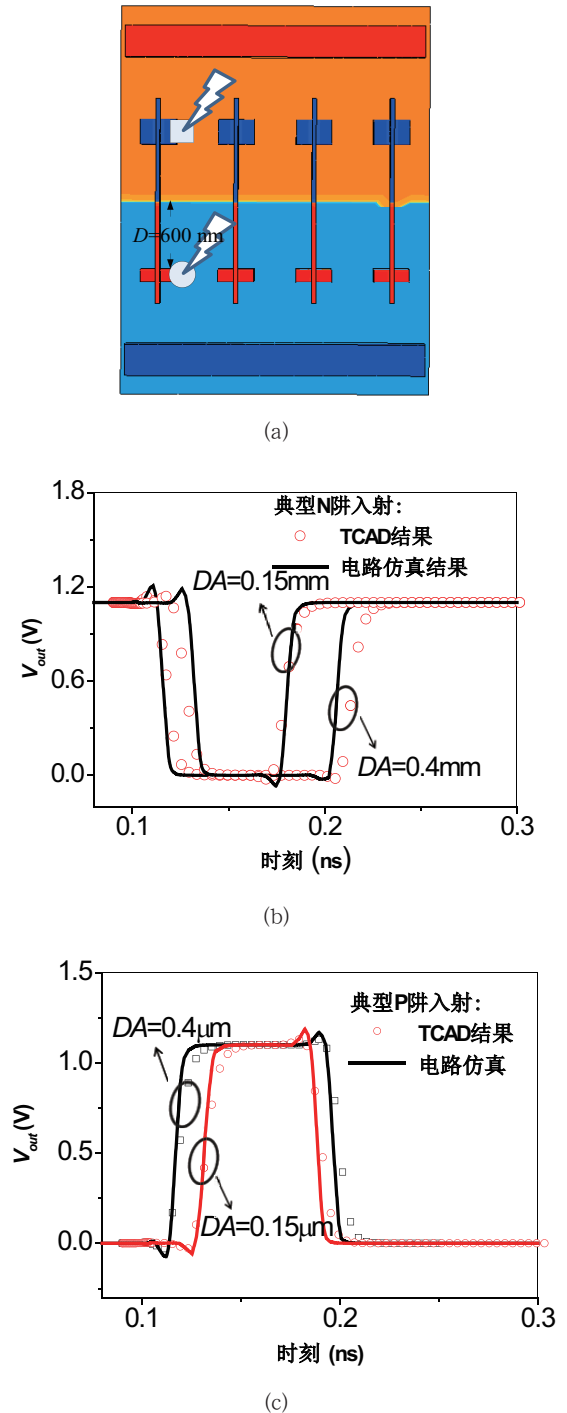


图9 入射四级反相器链 (a) 对应的电路仿真与 TCAD 仿真结果对比: (b) 入射 N 阱 (pMOS) 和 (c) 入射 P 阱 (nMOS)

Fig.9 Comparison between the circuit-level and TCAD simulated results when string at four-stage inverters (a) schematic of four-stage inverters and strike locations (b) results when striking at N-well region (pMOS) (c) results when striking at P-well region (nMOS)

利用电路仿真评价了 40nm D 触发器链的单粒子翻转敏感性, 同时与实测数据进行对比校验。图 10 给出了 D 触发器单元版图和实测单粒子翻转数据, 其中包括电源电压等于 1.1V 情况下四个  $LET$  值点的翻转截面数据和电源电压等于 0.9V、0.7V 情况下  $LET=2.19\text{MeV}\cdot\text{cm}^2/\text{mg}$  对应的翻转截面数据<sup>[15]</sup>。可以看出, 仿真结果与实测数据之间的符合程度较好, 验证了所构建纳米体硅 CMOS 工艺单粒子效应电路级仿真方法的合理性。

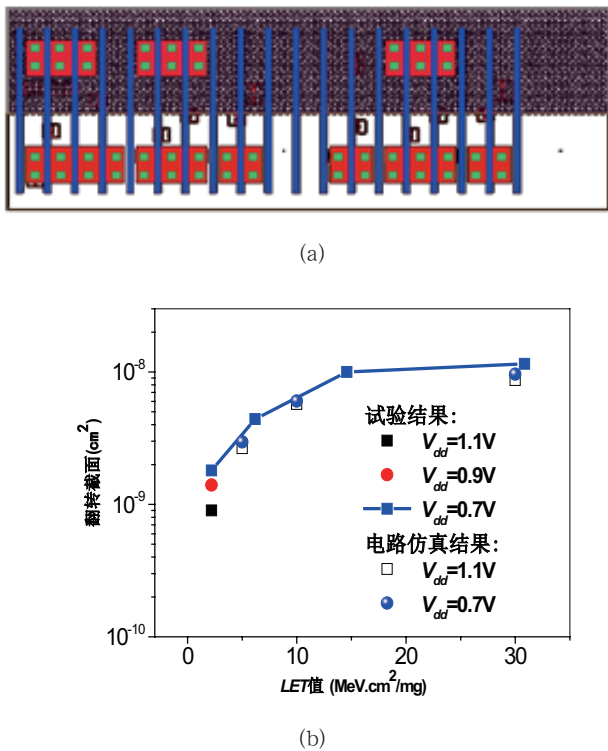


图 10 (a) 40nm D 触发器链版图 (b) 单粒子翻转截面的实测结果与电路仿真结果<sup>[15]</sup>

Fig.10 (a) Layout of 40nm D flip-flop (b) validation results of simulated and experimental upset cross section of 40 nm DFF, where the experimental data are referring to [15]

利用电路仿真计算得到不同工作电压和入射离子不同  $LET$  值情况下 D 触发器单元翻转截面热点图, 如图 11 所示。结果表明, 工作电压减小增大了对单粒子翻转敏感的区域, 从而增加了翻转截面。 $LET$  值增加进一步增大了翻转敏感区域,  $LET$  等于  $5\text{MeV}\cdot\text{cm}^2/\text{mg}$  时敏感点仅出现在 P 阱区域,  $LET$  等于  $10\text{MeV}\cdot\text{cm}^2/\text{mg}$  甚至  $30\text{MeV}\cdot\text{cm}^2/\text{mg}$  时扩展为 N 阱区域和 P 阱区域均存在敏感点。通常这类热

点图是通过 TCAD 仿真得到的, 需要耗费很长的建模和计算时间。相对 TCAD 仿真单点均需要数个小时到十几个小时的计算时间, 电路仿真单点所需的时间仅为小于 1 秒。

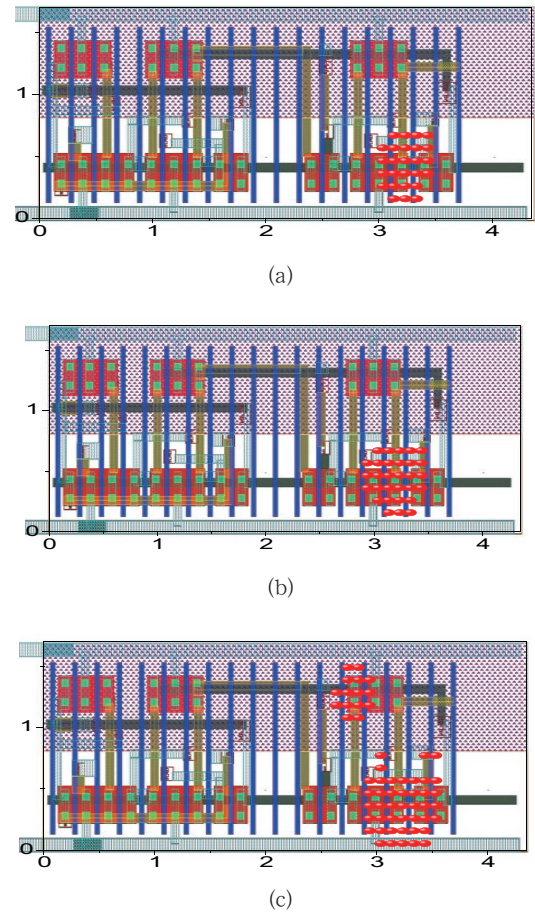


图 11 不同  $LET$  值和不同工作电压情况下 D 触发器单元翻转截面热点图: (a)  $LET=5\text{MeV}\cdot\text{cm}^2/\text{mg}$ ,  $V_{dd}=1.1\text{V}$  (b)  $LET=5\text{MeV}\cdot\text{cm}^2/\text{mg}$ ,  $V_{dd}=0.7\text{V}$  (c)  $LET=10\text{MeV}\cdot\text{cm}^2/\text{mg}$ ,  $V_{dd}=0.7\text{V}$   
Fig.11 Sensitive region maps of D Flip-flop produced by circuit-level simulation at various  $LET$  values and supply voltages; (a)  $LET=5\text{MeV}\cdot\text{cm}^2/\text{mg}$ ,  $V_{dd}=1.1\text{V}$  (b)  $LET=5\text{MeV}\cdot\text{cm}^2/\text{mg}$ ,  $V_{dd}=0.7\text{V}$  (c)  $LET=10\text{MeV}\cdot\text{cm}^2/\text{mg}$ ,  $V_{dd}=0.7\text{V}$

## 4 结论

针对电子器件特征尺寸持续降低后带来的单粒子效应电荷收集机制日趋复杂、难以准确建模的问题, 采用数值模拟与试验验证相结合的方式, 获取了典型纳米尺度工艺下电荷共享及次级电荷收集机制对于晶体管单粒子效应的影响, 实现了对于主要收集机制及次要收集机制的解析描述。提出一种重

离子入射版图不同位置时考虑扩散收集、节点电压反馈、寄生双极放大等次级效应的电流脉冲重构方法, 解决了版图特征提取、电路网表激励项添加等技术难题, 确立了体硅 CMOS 工艺单粒子效应电路级仿真的完整流程, 提出并建立了考虑次级效应和版图布局的 CMOS 电路单粒子效应电路级仿真方法。基于纳米尺度测试芯片的辐照试验结果验证了仿真方法的准确性。

相对于针对规模有限电路的 TCAD 仿真和针对 VLSI 的统计评价, 本方法适用于中等规模电路, 兼顾精度与效率, 为以电路级仿真作为常用手段的设计人员提供有益的评价工具。

### 参考文献 (References)

- [1] MITROVI M, HOFBAUER M, GOLL B, et al. Experimental investigation of single-event transient waveforms depending on transistor spacing and charge sharing in 65-nm CMOS [J]. IEEE Transactions on Nuclear Science, 2017, 64(8): 2136–2143.
- [2] CHEN R M, ZHANG F Q, CHEN W, et al. Single-event multiple transients in conventional and guard-ring hardened inverter chains under pulsed laser and heavy ion irradiation [J]. IEEE Transactions on Nuclear Science, 2017, 64(9): 2511–2519.
- [3] HUANG P C, CHEN S M, CHEN J J, et al. Heavy-ion-induced charge sharing measurement with a novel uniform vertical inverter chains (UniVIC) SEMT test structure [J]. IEEE Transactions on Nuclear Science, 2015, 62(6): 3330–3338.
- [4] ZHAO Y F, YUE S G, ZHAO X Y, et al. Single event soft error in advanced integrated circuit [J]. Journal of Semiconductors, 2015, 36(11): 111001.
- [5] BALBEKOV A O, GORBUNOV M S, ZEBREV G I, et al. Circuit-level layout-aware modeling of single event effects in 65 nm CMOS ICs [J]. IEEE Transactions on Nuclear Science, 2018, 65(8): 1914–1919.
- [6] HUBERT G, ARTOLA L. Single-event transient modeling in a 65-nm bulk CMOS technology based on multi-physical approach and electrical simulations [J]. IEEE Transactions on Nuclear Science, 2013, 60(6): 4421–4429.
- [7] DO E, LIBERALI V, STABILE A, et al. Layout-oriented simulation of non-destructive single event effects in CMOS IC blocks[C]. Satellite Telecommunications (ESTEL) 2012 IEEE First AESS European Conference, 2012: 1–5.
- [8] FRANCIS A M, DIMITROV D, KAUPPILA J, et al. Significance of strike model in circuit-level prediction of charge sharing upsets [J]. IEEE Transactions on Nuclear Science, 2009, 56(6): 3109–3114.
- [9] WARREN K M, SIERAWSKI B D, REED R A, et al. Monte-Carlo based on-orbit single event upset rate prediction for a radiation hardened by design latch [J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2419–2425.
- [10] WARREN K M, STERNBERG A L, WELLER R A, et al. Integrating circuit level simulation and Monte-Carlo radiation transport code for single event upset analysis in SEU hardened circuitry [J]. IEEE Transactions on Nuclear Science, 2008, 55(6): 2886–2894.
- [11] KAUPPILA J S, HAEFFNER T D, BALL D R, et al. Circuit-level layout-aware single-event sensitive-area analysis of 40-nm bulk CMOS flip-flops using compact modeling [J]. IEEE Transactions on Nuclear Science, 2011, 58(6): 2680–2686.
- [12] ARTOLA L, HUBERT G, DUZELLIER S, et al. Collected charge analysis for a new transient model by TCAD simulation in 90 nm technology [J]. IEEE Transactions on Nuclear Science, 2010, 57(4): 1869–1975.
- [13] BLACK D A, ROBINSON W H, WILCOX I Z, et al. Modeling of single event transients with dual double-exponential current sources: implications for logic cell characterization [J]. IEEE Transactions on Nuclear Science, 2015, 62(4): 1540–1549.

- [14] PRIVAT A, CLARK L T, Simple and accurate single event charge collection macro modeling for circuit simulation[C]. IEEE International Symposium on Circuits & Systems, 2015: 1858–1861.
- [15] CHEN R M, Study of single-event effects of logic circuits in nanometer bulk CMOS process [D]. Tsinghua University, Ph. D Dissertation, 2017.
- [16] DING L L, CHEN W, GUO H X, et al. Modeling the impact of well contacts on SEE response with bias-dependent single-event compact model [J]. Microelectronics Reliability, 2018, 81: 337–341.
- [17] AHLBIN J R, LOVELESS T D, BALL D R, et al. Double-pulse-single-event transients in combinational logic[C]. IEEE International in Reliability Physics Symposium (IRPS), 2011: 3C.5.1–3C.5.6.



## 作者简介:

丁李利(1987—),女,安徽阜阳人,博士,副研究员,长期从事电子器件辐射效应机理及仿真技术研究。



# 高速串行接口单粒子效应测试方法研究

李俊泽, 岳素格, 李建成, 陈茂鑫, 宋小敬

(北京微电子技术研究所, 北京 100071)

**摘要:** 本文通过对高速串行接口芯片的结构、功能特征以及协议标准的分析, 提出该类芯片单粒子效应类型以及其测试方法。结合通用误码率计算方法和芯片单粒子效应特点, 给出了该类芯片单粒子导致误码率的计算方法。通过对 JESD204B 高速串行接口芯片进行重离子试验, 验证测试方法和误码率计算方法的可用性, 并对该芯片不同单粒子效应类型的截面、阈值、在轨软错误率以及单粒子效应导致的误码率等辐射指标进行评估。

**关键词:** 高速串行接口芯片; 单粒子效应; 测试方法; 误码率

**中图分类号:** TN406      **文献标识码:** A

## Research on Single Event Effect Test Method for High-Speed Serial Interface

Li Junze, Yue Suge, Li Jiancheng, Chen Maoxin, Song Xiaojing

(Beijing Microelectronics Technology Institute, Beijing, 100071, China)

**Abstract:** In this paper, the structural characteristics, functional modules and protocol contents of high speed serial interface chip are studied. The single event effect soft error type and soft error type judgment method basis of this kind of chip are given. Combining the calculation method of common bit error rate and the characteristics of single event effect causing high speed serial interface bit error, the calculation method of error rate caused by single-particle is derived. Through the heavy ion test of JESD204B high-speed serial interface chip, the availability of the test method and bit error rate calculation method is verified, and the radiation indices such as the soft error cross section, single event effect threshold, on-orbit soft error rate and bit error rate of the chip caused by single event effect are evaluated.

**Key words:** high speed serial interface chip; single event effect; test method; bit error rate

## 0 引言

符合多种高速通信协议标准、具有使用灵活性的 SerDes 技术是在现今高速通信系统的关键技术之一<sup>[1]</sup>。基于 SerDes 技术的高速串行接口由于其极高的传输速度、高质量的高速差分信号传输等优势, 正在成为通用的 I/O 接口标准。SerDes 技术已经成为设备互联, 板卡互联以及芯片间高速互联的首选解决方案。

在空间辐射环境中, 处于工作状态的高速串行接口芯片可能会发生单粒子翻转导致误码, 严重时可能发生单粒子功能中断 (SEFI) 甚至芯片功能失效<sup>[2]</sup>。解决高速串行芯片的单粒子效应测试这个关键性问题不仅对于满足型号技术指标要求、解决型号急需有重要意义, 还有助于研制具有自主知识产权的抗辐射高

速串行接口芯片。

在军用 / 宇航等应用领域的抗辐射加固高等级 SerDes 芯片或 IP 相对较少, 目前公开资料可查最高技术水平的产品是 ST 公司的抗辐射 SerDes IP, 单路最高传输速率可达 6.25Gbps, 单粒子功能中断 LET 阈值  $>60\text{MeV} \cdot \text{cm}^2/\text{mg}$  (单粒子功能中断: 单粒子的作用使电路失去功能, 且不需要通过重启电源恢复), 单粒子误码率  $<10^{-14}$  (误码率 = 单粒子导致的传输误码 / 传输的总码数 \* 100%)<sup>[3]</sup>。对于高速串行接口芯片的单粒子测试国外起步较早, 已经形成了一套成熟的单粒子测试流程和方法。如论文 [4]、[5] 分别对 Cobham 的 90nm SerDes IP 和 TI 公司的 TLK2711-SP 进行了全面的单粒子翻转和单粒子门

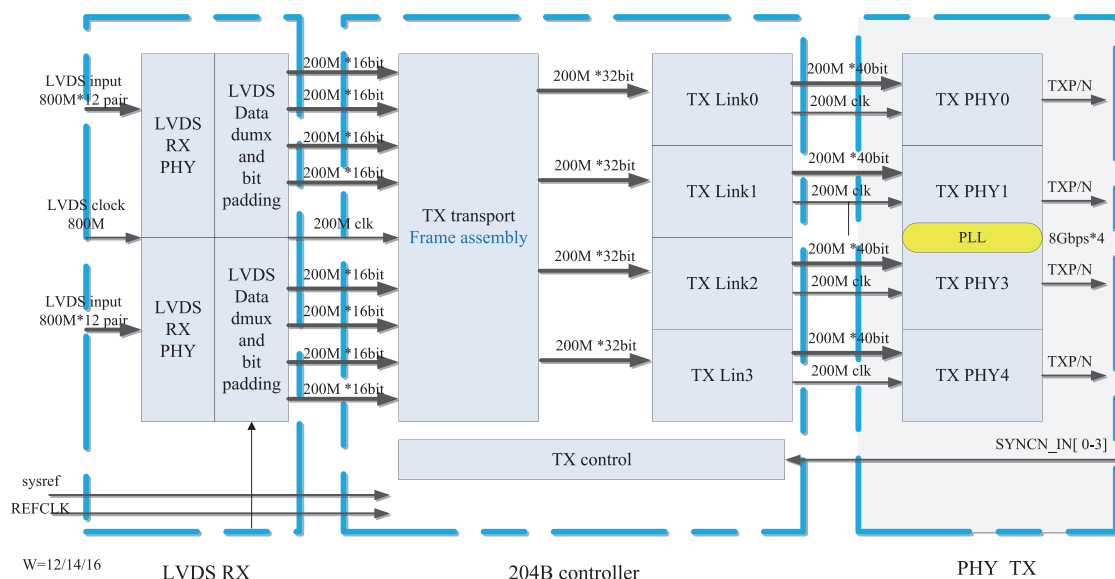


图1 JESD204B 高速串行接口接收器芯片典型结构

Fig.1 Block diagram of high-speed serial JESD204B data receiver

锁测试。

在国外高等级高速串行接口芯片的禁运和测试技术封锁的情况下，国内很多高校和研究机构都对高速串行接口技术展开了深入的研究<sup>[6,7]</sup>，而针对高速串行接口产品单粒子效应测试的相关研究较少，存在数据检测方法模糊、误码率计算方法不统一等问题。

## 1 测试方法研究

### 1.1 典型高速串行接口芯片的结构和功能

本文选用北京微电子技术研究所设计的 JESD204B 高速串行接口收发套片，主要用于数据转换器和逻辑器件之间的数据传输。芯片协议层兼容 JESD204B 规范，单通道数据率可达 6.25Gbps。本文单粒子效应研究主要针对接收器芯片，其芯片结构如图 1 所示。

JESD204B 高速串行接口接收器芯片由高速 SerDes RX 物理层、JESD204B 控制器以及 LVDS 发送器共三个主要模块构成<sup>[8]</sup>。

接收端物理层 RX 模块电路结构如图 2 所示，由接收均衡器、数据时钟恢复、解串等子模块构成。主

要功能是将输入的高速串行信号转化为 40 位的并行数据以供数字部分使用；

JESD204B 控制器实现数字协议功能，分为传输层和链路层两部分。链路层完成 10B/8B 解码、通道对齐、字符缓冲、字符替代、数据解扰，传输层主要完成对数据的解帧；

LVDS 发送模块将解帧后的数据进行 MUX 操作，将 8 组 16 位并行数据变为 2 组 LVDS 并行信号输出。

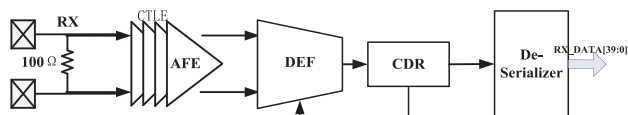


图2 接收器高速串行 RX 物理层结构图

Fig.2 The physical structure of the chip

### 1.2 高速串行接口单粒子效应类型

高速串行接口芯片单粒子效应的类型主要是单粒子翻转，由于发生单粒子翻转的位置不同，对芯片的影响也不同，但最终都会导致误码的产生。对于高速串行接口芯片，单粒子翻转导致的错误类型主要有两种，一种是单粒子导致的传输数据翻转，下文称为

单粒子翻转 SEU；另一种是单粒子翻转引起芯片出现短暂的功能异常或功能失效导致的芯片功能问题，下文称为单粒子功能中断 SEFI。

1) 单粒子翻转 SEU

数据寄存器翻转会导致传输数据中出现误码，随着数据的传输和运算，传输数据中的误码形式会改变，因此统计得到的误码有可能是单位误码也有可能是多位误码，统称为单粒子翻转导致的误码。

2) 单粒子功能中断 SEFI

当单粒子翻转导致芯片功能问题，数据链路会根据协议进行重新建立，重建链路的过程中会将 SYNC 信号拉低，建立成功后 SYNC 信号恢复恒高，因此 SYNC 信号可以作为功能中断的指示信号<sup>[3]</sup>。单粒子功能中断分为可恢复和不可恢复两种功能中断：

可恢复的功能中断：根据发生单粒子翻转的位置，可以分为 PLL、CDR、CTLE、状态 / 配置寄存器四种功能中断来源。单粒子翻转发生在负责协议功能实现的寄存器导致数据的运算错误，或单粒子翻转导致 PLL 失锁、时钟异常，都可以通过链路重建自动恢复功能正常。

不可恢复的功能中断：如单粒子翻转发生在用于选择数据发送方式、物理层数据率模式等寄存器，导致芯片出现功能失效，链路无法建立，必须通过手动复位或外部重新发送链路配置码才能恢复正常工作状态。

综上，给出芯片不同位置单粒子效应类型如表 1 所示。

表 1 单粒子效应类型  
Tab.1 Type of single event effect

电路类型	典型模块	导致问题	单粒子效应类型	是否可以自动恢复
模拟单元	高速锁相 PLL	时钟异常	SEFI	可恢复
	LVDS	传输数据误码	SEU	/
	时钟恢复电路 CDR	时钟异常	SEFI	可恢复
	均衡器 CTLE	通道数据损坏 高噪声或抖动	SEFI	可恢复
数字单元	数据寄存器	传输数据误码 数字协议问题	SEU	/
	状态 / 配置寄存器	工作状态异常	SEFI	可恢复 不可恢复

1.3 不同类型单粒子效应的测试方法

1.3.1 单粒子翻转 SEU 测试方法

1) 码型选择

在本次单粒子效应测试中，选用的码型为 32 位递增码：0x00000000 ~ 0xFFFFFFFF。通过对国内外同类型芯片的单粒子效应测试的调研，递增码通常作为高速串行接口芯片的测试码型，且使用递增码的具有以下几个优势：

①递增码可以同时单粒子翻转的 1-0、0-1 的两种形式进行检测；

②递增码在传输过程中不断变化，能够遍历所有的码型和数值；

③递增码相邻数据之间存在相关性，有利于对输出数据进行检测。

2) 测试方法

单粒子翻转造成的数据误码可以通过将被辐射后芯片的输出数据与正常状态输出的正确数据进行比对，得到传输过程中出现单粒子误码的位数。

由于 JESD204B 协议规定，链路会在出现错误后重新建立，导致数据传输的短暂中断；恢复数据传输后，极有可能造成比对数据与用户数据的比对“错位”的问题。针对这一问题，本文提出了对发送数据添加标志位的方法，以解决重建链路后比对“错位”的问题，具体方式如下：

数据添加标志位：将发送给待测芯片的数据加以处理，将数据分为以固定个数为一组，并为每组添加数据标志位（一般为每组第一位）。

数据检测：利用 FPGA 对输出数据进行采样并首先检测标志位数据，检测到标志位数据后由 FPGA 生成该组后续数据，用于检测单粒子翻转造成的数据误码。

通过数据添加标志位的检测方法，可以有效避免由于链路重建导致的数据“错位”现象，提高了测试的准确度和测试效率。

1.3.2 单粒子功能中断 SEFI 测试方法

单粒子功能中断 SEFI 主要通过 SYNC 信号进行

检测。通过检测 SYNC 由高到低跳变的情况，若跳变后又自动恢复为高，则判定为可恢复的功能中断；若 SYNC 发生由高到低跳变后，2s 内无法自动恢复，则判定为不可恢复的功能中断。

测试时可通过示波器或通过上位机的 ISE ChipScope 软件对 SYNC 信号进行同步监控，通过设置触发，抓取信号由高变为低的现象并设置计数器记录跳变次数和 SYNC 为低的持续时间。为了判断导致可恢复的单粒子功能中断 SEFI 的具体位置，可同时对芯片输出时钟 RXCLK 信号进行同步监控。若 SYNC 为低时捕捉到 RXCLK 信号异常，则认为是由于时钟问题导致的功能中断，这种时钟问题一般由于锁相环或时钟恢复电路的异常导致。

#### 1.4 单粒子导致误码率的计算方法

针对高速串行接口芯片的单粒子导致误码率计算方法，业界没有标准和通用公式。本文通过标准的误码率计算公式，结合辐射环境下芯片的响应特点，并参考文献<sup>[3]</sup>中 Anthony Wilson 提出的利用在轨错误率计算误码率的方法，给出高速串行接口芯片单粒子导致误码率的计算公式如下。

$$\text{单粒子误码率} = \frac{FER \times T_{SYNC} \times V + UER}{Total\ Data_{day}} \quad (1)$$

其中：

$FER$  (Function event rate) 为单粒子功能中断在轨错误率，单位为次 / 天，即芯片在空间应用中单位时间内单粒子功能中断 SEFI 出现的次数；

$UER$  (Upset event rate) 为单粒子翻转在轨错误率，单位为位 / 天，即芯片在高空应用中，单位时间内单粒子翻转 SEU 导致的数据误码位数；

$Total\ Data_{day}$  为总传输位数，单位为位 / 天，即芯片在空间应用中，单位时间内传输总数据位数；

$T_{SYNC}$  为单粒子功能中断时间，单位为秒，试验中可等效 SYNC 掉落为低的时间；

$V$  为传输速率，单位为 Gbps；即每秒高速串行接口芯片传输的总数据位数；

$FER \times T_{SYNC} \times V$ ，单位为位 / 天；即芯片在高空应用中，单位时间内单粒子功能中断 SEFI 导致的误码位数。

## 2 重离子试验

### 2.1 重离子试验装置

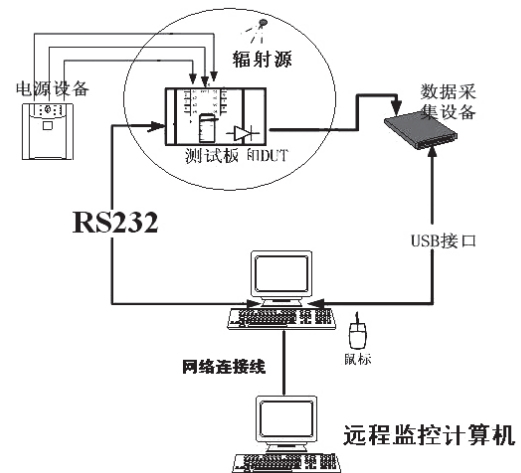


图3 重离子试验装置示意图

Fig.3 Schematic diagram of Heavy ion test equipment

本文分别在中国原子能科学研究所的串列加速器 HI-13 和中国科学院兰州近代物理研究所的回旋加速器 HIRFL 完成了重离子试验。图3展示了重离子试验装置示意图；图4为重离子试验装置实物图。



图4 重离子试验装置实物图

Fig.4 Physical diagram of Heavy ion test equipment

### 2.2 试验结果

高速串行接口接收器芯片 4Gbps 速率下重离子试验统计结果如表2所示。



表 2 重离子试验结果  
Tab.2 Heavy ion test results

入射离子	试验速率 (Gbps)	有效 LET (MeV·cm <sup>2</sup> /mg)	单粒子功能中断			单粒子翻转	
			不可恢复 SEFI	可恢复的 SEFI SYNC RXCLK	错误截面 (/cm <sup>2</sup> )	总误码位数	错误截面 (/cm <sup>2</sup> )
Cl		17.4	0	7	0	1.55E-6	17,989
Kr	4	39.9	0	7	1	5.30E-5	15,704
Ta		86.2	1	134	32	9.7E-3	448,513

试验数据及现象分析：

1) 低 LET 离子照射时未出现时钟异常，高 LET 离子导致芯片多次出现时钟异常，并发生单粒子功能中断，因此认为芯片的 PLL、CDR 模块具有较高的单粒子翻转阈值。

2) 高 LET 的 Ta 离子照射时出现一次不可恢复的功能中断，同时出现时钟异常。由于本次功能中断的复位时间具有人为干扰因素，因此在计算单粒子效应导致误码率时统计为一次可恢复单粒子功能中断。

3) 试验中时钟异常导致的功能中断比其他原因导致的时间更长，分析认为锁相环失锁到重新锁定需要一定恢复时间，导致功能中断时间最长可达 2.5us。在计算单粒子效应导致的误码率时，考虑最恶劣情况，功能中断时间  $T_{SYNC}$  取最大值 2.5us。

试验数据处理：

1) 单粒子功能中断在轨错误率 FER 估算

根据 3 个不同 LET 离子 (Cl、Kr、Ta) 在 4Gbps 速率下的单粒子功能中断截面值，利用 Origin 软件绘制威布尔曲线如图 5，由威布尔曲线图与 X 轴交点可得出：在 4Gbps 速率下，JESD204B 高速串行接口芯片的单粒子功能中断 LET 阈值为  $8\text{MeV} \cdot \text{cm}^2/\text{mg}$ 。

使用 Space Radiation 软件，选择同步轨道、屏蔽厚度为 3mm (铝)，计算得到单粒子功能中断在轨错误率 FER 为  $5.11\text{E}-4$  次 / 天，即在典型轨道的空间环境下，JESD204B 高速串行接口接收器芯片在 4Gbps 速率下工作，单粒子功能中断发生频率约为 1957 天一次。

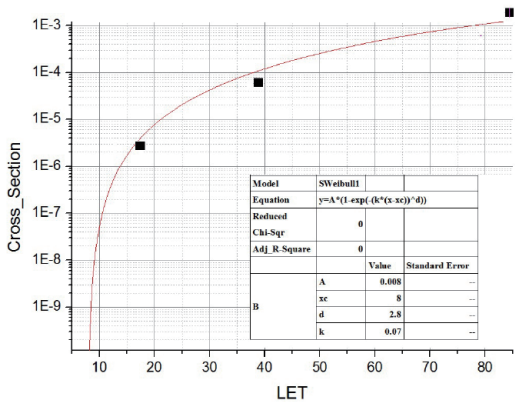


图 5 单粒子功能中断威布尔曲线  
Fig.5 Weibull curve of SEFI

2) 单粒子翻转在轨错误率 UER 估算

同样给出单粒子翻转威布尔曲线如图 6、单粒子翻转 LET 阈值为  $8\text{MeV} \cdot \text{cm}^2/\text{mg}$ 、单粒子翻转导致的单粒子翻转在轨错误率 UER 为 1.32 位 / 天。

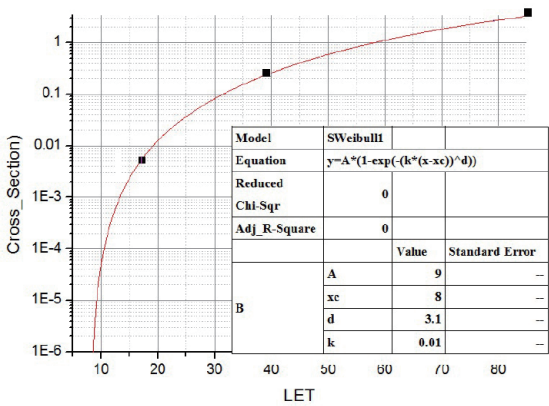


图 6 单粒子翻转威布尔曲线  
Fig.6 Weibull curve of SEU

3) 单粒子误码率计算

将重离子试验得到的 UER、FER、 $T_{SYNC}$  结果带入公式 (1)，计算得到计算出 JESD204B 高速串行接口接收器芯片在 4Gbps 速率下，空间辐射环境下单粒子效应导致的误码率为  $1.698\text{E}-14$ 。

3 结论

本文基于典型 JESD204B 高速串行接口芯片结构

组成与功能原理, 分析了高速串行接口单粒子效应类型: 单粒子翻转 SEU 和单粒子功能中断 SEFI。针对不同单粒子效应类型给出对应的测试方法, 即通过对输出数据进行检测捕捉单粒子翻转导致的数据误码, 通过监控 SYNC、RXCLK 信号判断单粒子功能中断及其发生位置。结合高速串行接口芯片单粒子效应特点, 给出了高速串行接口单粒子效应导致的误码率计算方法。根据上述测试和计算方法, 对 JESD204B 高速串行接口接收器芯片进行了重离子试验, 并对该芯片的单粒子误码率进行了评估, 验证了该芯片的单粒子性能指标。本工作的研究结果可为抗辐射性能评估提供测试方法指导, 为高速串行接口的空间应用提供数据支持, 为抗辐射加固高速串行接口芯片的设计提供帮助。

## 参考文献 References

- [1] 彭颖. SerDes 芯片设计验证及测试技术研究 [D]. 成都: 电子科技大学. 2011.
- [2] 王继东, 罗武胜, 鲁 琴. 基于 DSP 和 FPGA 的卫星数据压缩机的研制 [J]. 计算机工程与应用, 2007, 43 (27) : 105-107.
- [3] MALOU F, GASLOT G, CHEVALLIER R, DUGOUJON L, Philippe Roche, TID and SEE characterization of Rad-Hardened 1.2GHz PLL IP from new ST CMOS 65nm space technology, NSREC/RADECS unified space

conferences, Paris, July 2014.

- [4] WILSON A, ZAREY S, KAZMIER M. Radiation Effect Characterization of a 3.125Gbps 90 nm Serdes IP[J]. 2016.
- [5] KOGA R, P. Yu, and J. George. Single Event Effects and Total Dose Test Results for TI TLK2711 Transceiver[J]. IEEE 2008: 69-75.
- [6] HALL S H, HOWARD L. H. Advanced Signal Integrity for High-Speed Digital Designs[M]. New Jersey: John Wiley & Sons. IEEE 2016: 2162-2272.
- [7] HARWOOD M, NIELSEN S, SZCZEPANEK A, et al. A 225mW 28Gbps SerDes in 40nm CMOS with 13dB of analog equalization for 100GB ASE-LR4 an optical transport lance 4.4 applicatons [A]. 2012 IEEE International Solid-State Circuits Conference Digest of Technical Papers[C]. San Francisco: IEEE, 2012: 326-327.
- [8] HARRIS J. JESD204B 发射器的 PHY 性能的三个关键性能指标详解 [J]. 中国电子商情 (基础电子). 2013: 24-32.



### 作者简介:

李俊泽 (1994—), 男, 辽宁省葫芦岛市人, 研究生, 助理工程师, 电子科学与技术专业。

# 一种基于 UltraFlex 测试系统的 DA 转换器测试方法

刘 然, 张若寒, 史 君, 董亚宁, 郑诗琼, 马明朗

(北京微电子技术研究所, 北京 100076)

**摘 要:** 文章简述了 DA 转换器的测试原理, 搭建了基于 Teradyne UltraFlex 的测试系统, 开展了基于 UltraFlex 的 DA 转换器测试方法研究, 阐述了基于该平台的 DA 转换器静态参数、动态参数主要指标的测试方法, 给出了 DA 转换器在测试接口板设计和电路调试中的注意事项, 并进行了测试验证, 结果表明, 本测试系统满足批量产品检测需求。

**关键词:** DA 转换器; 测试; UltraFlex

**中图分类号:** TN407 **文献标识码:** A

## A Test Method For DA Converter Based On UltraFlex

Liu Ran, Zhang Ruohan, Shi Jun, Dong Yaning, Zheng Shiqiong, Ma Minglang

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

**Abstract:** This paper describes the test principle of DA converters and presents a test system based on Teradyne UltraFlex, and carry out a research of the test method for DA converter. It describes the testing methods of the static and dynamic parameters of DA converter based on this platform, and gives the points for attention to the test board design and circuit debugging of DA converter, and put forward the direction of efforts and improvement plan.

**Key words:** DA converter; test; UltraFlex

## 0 引言

DA 转换器是一种可以将数字信号转换成模拟信号的高性能器件, 可应用于卫星、雷达、航空航天电子设备、测试仪表、医疗电子等领域。DA 转换器的需求量很大, 目前主要的供应商有 ADI、TI、MAXIM 等, 这几家公司的 DA 转换器精度可达 32 位, 速度可达 GHz 级, 且生产能力已达到量产水平, 我国的 DA 转换器设计和生产能力还有待提高<sup>[1,2]</sup>。

泰瑞达的 UltraFlex 的测试机台可以为高性能器件提供更优越、更高效的测试, 测试工程师可根据不断变化的测试需求对测试机台进行重新配置, 应用十分灵活。UltraFlex 后台的 DSP 模块能够进行并行数字信号处理运算, 适用于大容量存储器、AD/DA 转换器的测试和量产。本文对基于 UltraFlex 测试系统的一款 DA 转换器进行了测试方法的研究。

## 1 DA 转换器概述

本文选取 ADI 公司的一款产品进行测试方法的研究。AD9764 是 TxDAC 系列高性能、低功耗 CMOS 数模转换器, 具有 14 位分辨, 支持 125MSPS 的更新速率。其引脚分布如图 1 所示<sup>[3]</sup>。

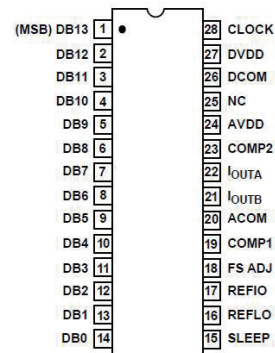


图 1 AD9764 的引脚分布

Fig.1 The pin distribution of AD9764

DB13—DB0 为数字输入，其中 DB13 是最高有效位 (MSB)，DB0 是最低有效位 (LSB)；SLEEP 为关断控制；REFLO 为参考地（应用于外部参考时）；REFIO 为参考输入 / 输出；FS ADJ 为满幅电流输出调整；COMP1、COMP2 为降噪和内部偏置节点；ACOM、DCOM 为模拟、数字地； $I_{OUTA}$ 、 $I_{OUTB}$  为电流输出；CLOCK 为时钟输入（上升沿有效）。

AD9764 的主要参数有积分非线性 (INL)、微分非线性 (DNL)、失调误差 (Offset Error)、增益误差 (Gain Error)、电源抑制比 (PSRR)、无杂散动态范围 (SFDR) 和总谐波失真 (THD)，其部分电参数的电特性表如表 1 所示：

表 1 AD9764 部分电参数的电特性表

Tab.1 Table of part of electrical characteristics of AD9764 electrical parameters

Parameter	AVDD = DVDD =5 V, OUTFS = 20 mA, T=25°C			Units
	Min	Typ	Max	
<b>Static</b>				
INL	-4.5	±2.5	4.5	LSB
DNL	-2.5	±1.5	2.5	LSB
Offset Error	-0.025		+0.025	%of FSR
Gain Error (With Internal Reference)	-7	±1	7	%of FSR
<b>SFDR</b>				
$f_{CLOCK} = 25$ MSPS; $f_{OUT} = 1.00$ MHz				
0dBFS OUTPUT	75	82		dBc
-6dBFS OUTPUT		85		dBc
2 MHz Span	78	89		dBc
<b>THD</b>				
$f_{CLOCK} = 25$ MSPS; $f_{OUT} = 1.00$ MHz				
		-78	-74	dBc
$f_{CLOCK} = 50$ MSPS; $f_{OUT} = 2.00$ MHz				
		-75		dBc
$f_{CLOCK} = 100$ MSPS; $f_{OUT} = 2.00$ MHz				
		-75		dBc

## Power Supply

$I_{AVDD}$  25 30 mA

$I_{DVDD}$  1.5 4 mA

## Power Dissipation

$f_{CLOCK} = 25$  MSPS;  
 $f_{OUT} = 1.00$  MHz 133 170 mW

## 2 DA 转换器的测试方案设计

本项目选用 UltraFlex 测试机台对 AD9764 进行静态参数、动态参数的测试方法研究。该器件的测试思路是采用 UltraPin1600 板卡的 DSSC(Digital Signal Source and Capture) 模块进行数字输入信号的发送，用 PAC80 模拟板卡进行模拟输出信号的采集；运用 IG-XL 测试软件的 VBT 语言进行编程，将采集的输出信号进行运算，得出测试结果。

### 2.1 DSSC 模块

DSSC 模块基于数字板卡 UP1600。使用 DSSC 模块可以发送和采集高速的数字波形，并将采集的数据送至 DSP 模块进行数据处理，适用于转换器的测试。DSSC 最多可支持 32 位数据的串 / 并行发送和接收，数据的传输速率最高可达 1600Mbps。本文所述的测试过程中，使用 DSSC 在 single 模式下实现了数字波形的发送。

### 2.2 PAC80 模拟板卡

PAC80 模拟板卡用于模拟信号的发送和采集。它分别有 8 路独立的数据发送端 (Ultra Source，带宽可达 80MHz) 和数据接收端 (Ultra Capture，带宽可达 75MHz)，支持单端和差分模式。AD9764 的模拟输出需要使用 Ultra Capture 进行数据的采集，并将数据送到 DSP 模块进行数据处理。

### 2.3 方案设计

#### 2.3.1 硬件设计

本项目器件在测试时采用内部电源基准，参照手册制作测试接口板，如图 2 所示：



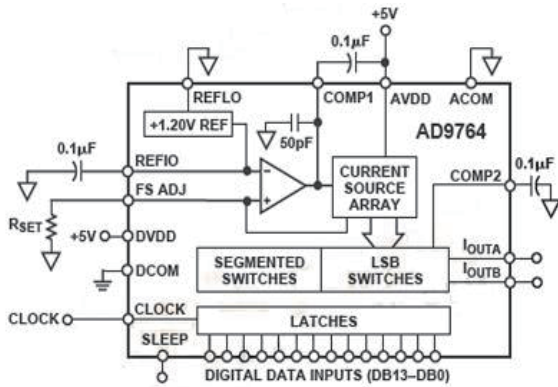


图2 AD9764的测试接口板原理示意图  
Fig.2 Test board diagram for AD9764

DB13—DB0 需接在 UltraPin1600 板卡的 DSSC 模块。DSSC 是数字信号发送 / 接收模块，分为 DSSC Source 和 DSSC Capture，DB13—DB0 需要接 DSSC Source 端口，其通道资源的分配必须符合 DSSC 的制版规则。 $I_{OUTA}$  和  $I_{OUTB}$  是一组差分电流型输出，需分别在输出端与地之间接一  $50\Omega$  的电阻，可将器件输出的电流信号转换为电压信号，以便信号的采集和运算。 $I_{OUTA}$  和  $I_{OUTB}$  分别接在 PAC80 板卡 Ultra Capture 的 POS 和 NEG。考虑到器件的动态功耗较小，电源引脚 VDDA、VDDD 可不作特殊要求，模拟地与数字地不可接到同一地平面<sup>[4]</sup>。

在印制板布线方面，一般采用四层以上的印制板，单独设置电源层、地层；增加去耦电容；采用垂直层叠设计等方法抑制电磁干扰，保持信号完整性和降噪<sup>[5,6]</sup>。

### 2.3.2 软件设计

本项目的软件使用泰瑞达公司为其测试机台开发的软件 IG-XL。一个标准的 IG-XL 程序由多个基于 VBT 语言的模块和各种 Data Tool 工作表构成。

#### 2.3.2.1 软件架构的搭建

按照 UltraFlex 测试机台的标准编程方法，完成对 AD9764 的 Pinmap、Channel map、Pin Levels、Time Sets、Test Instance、Flow Table 等

设置；

#### 2.3.2.2 测试向量的编写

首先，定义 DB13—DB0 为一个 port，作为 DSSC 的数据发送端 (Digsrc)，DB13—DB0 在测试向量中的数据用“D”表示；其次，定义 IOUTA 为 Ultra Capture；最后，在测试向量中用微控制指令“Resync”、“Send”、“Trig”来设置数模信号的同步、数字信号的发送、模拟信号的采集，如图 3 所示。向量的长度应大于输出信号的采样长度。

```
(IOUTA:UltraCapture = Resync)
> TSet 0 0 0 0000000000000000 ;
((Port_D):DigSrc = Start ramp_1)
> TSet 0 0 0 0000000000000000 ;
repeat 150 > TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
> TSet 0 0 0 0000000000000000 ;
set_rmsb 30000 > TSet 0 0 0 0000000000000000 ;
(IOUTA:UltraCapture = Trig)
set_c0 30000 > TSet 0 0 0 0000000000000000 ;
ramp_1:
((Port_D):DigSrc = Send)
loop c0 > TSet 0 0 0 DDDDDDDDDDDDD ;
((Port_D):DigSrc = Send)
> TSet 0 0 0 DDDDDDDDDDDDD ;
```

图3 测试向量示意图  
Fig.3 Vector diagram

#### 2.3.2.3 测试系统的调试和测试数据采集

在测试系统的 VB 编程环境中调用系统的资源，进行电源上电及 DSSC Source、Ultra Capture 的初始化，通过载入向量，对 DSSC 进行控制，向器件的 DB13—DB0 发送由特定波形通过算法转换而成的码，并用 Ultra Capture 将输出的模拟电压值进行采集和存储。

#### 2.3.2.4 测试数据的运算

在测试系统的 VB 编程环境中，将主函数中

Ultra Capture 采集的模拟电压, 放在 DSP 模块中进行运算处理, 再将计算结果返回到主函数中, 得出静态参数、动态参数的计算值。运用 DSP 模块进行数据的处理可提高测试效率, 缩短测试时间。

### 3 DA 转换器的测试验证

#### 3.1 静态参数的测试验证

静态参数反映了 DA 转换器相对于每个输入码的输出电压特性, 包括增益 (*Gain*)、失调 (*Offset*)、积分非线性 (*INL*) 和微分非线性 (*DNL*)。其中, *INL*、*DNL* 是测量的主要参数, 这两个参数体现了 DA 转换器的设计水平和制造工艺, 同时, 这两个参数将影响 DA 转换器的动态性能。

静态测试时 DA 转换器的输入信号采用台阶波, 该波形的采样率为 1MHz, 由  $2^{14}$  个采样长度为 20 的 DC 信号组合而成。输入信号通过测试系统的编码, 转换成了  $2^{14}$  个由 0000—3FFF 的码, 发送给 AD9764 的 DB13—DB0。

##### 3.1.1 *INL*、*DNL* 的测试验证

*INL*、*DNL* 反映了 DA 转换器的实际转换特性曲线与理想转换特性曲线的偏差, *INL* 是所有 *DNL* 代数数和的累积效应<sup>[7]</sup>。

测试向量执行完毕后, AD9764 的模拟输出电压以数组的形式被采集到 Ultra Capture 中。运用 DSP 模块, 采用最小二乘法可以快速拟合出一条器件的理想转换曲线, 用器件每个码对应的模拟输出电压与理想转换曲线进行比较, 根据公式 (1):

$$INL = \Delta V_{max} / V_{LSB} \quad (1)$$

计算出器件的 *INL*, 其中  $\Delta V_{max}$  是每个码值对应的输出电压与理想转换曲线差值的最大值。*INL* 经过微分运算得到 *DNL*。*INL* 和 *DNL* 的测试结果如图 4、图 5 所示:

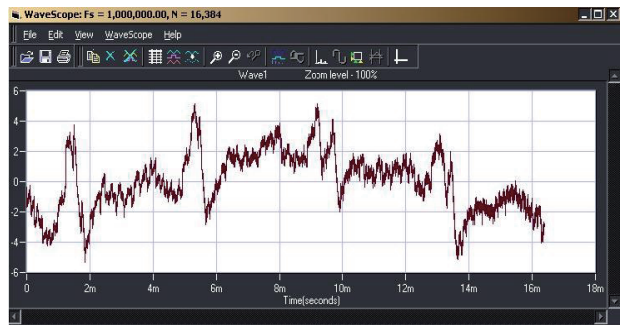


图 4 *INL* 测试结果  
Fig.4 The result of *INL*

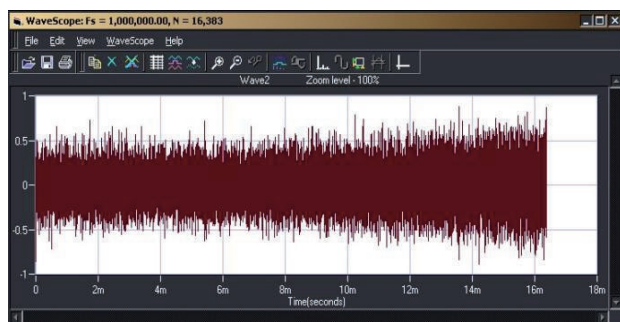


图 5 *DNL* 测试结果  
Fig.5 The result of *DNL*

##### 3.1.2 *Offset Error*、*Gain Error* 的测试验证

*Offset Error*、*Gain Error* 反映了当输入为全“0”/全“1”码时, 模拟输出与理想值的偏差<sup>[7]</sup>。

首先, 电源上电后采用平均法读取器件的参考电压, 记为  $V_{REF}$ , 根据公式 (2):

$$V_{FSRideal} = (32 \times R_{LOAD} / R_{SET}) \times V_{REF} \quad (2)$$

求得器件的理想满幅电压  $V_{FSRideal}$ 。其次分别在输入为全“0”码和全“1”码的条件下, 采集 AD9764 的模拟输出电压, 记为  $V_{ZS}$  和  $V_{FS}$ , 根据公式 (3) 和公式 (4), 计算出器件的 *Offset Error* 和 *Gain Error*:

$$Offset\ Error = V_{ZS} / V_{FSRideal} \times 100\% \quad (3)$$

$$Gain\ Error = [(V_{FS} - V_{ZS}) / V_{FSRideal} - 1] \times 100\% \quad (4)$$

测试结果如图 6 所示:

Test Name	Pin	Channel	Low	Measured	High
Offset_error	-1		-25.0000 m	6.4246 m	25.0000 m
Gain_error	-1		-7.0000	-28.8857 m	7.0000

图6 Offset Error、Gain Error 测试结果

Fig.6 The result of Offset Error、Gain Error

### 3.2 动态参数的测试验证

动态参数反映了DA转换器的传输特性和噪声，主要包括信噪比(SNR)、无杂散动态范围(SFDR)和总谐波失真(THD)等。AD9764的动态参数主要为SFDR和THD。

动态测试时DA转换器的输入信号采用正弦波，该波形的采样率 $F_s$ 为25MHz，输入频率 $F_{in}$ 为1MHz，公式(5)的相干采样原理<sup>[8]</sup>：

$$F_m / F_s = M/N \quad (5)$$

可得出 $M=655$ 。由此可知输入信号在25MHz采样率的条件下，1个周期可以发655个正弦波，采样长度为 $2^{14}$ ，经过编码发送到DB13—DB0。待输出信号稳定后，通过UltraCapture将 $I_{OUTA}$ 、 $I_{OUTB}$ 的输出波形以差分模式进行采集，并做FFT变换，运用DSP模块分析其输出频谱，得出动态参数。

#### 3.2.1 SFDR 的测试验证

SFDR是基频信号(最大信号成分)的RMS幅度与次最大失真成分的RMS值之比。根据公式(6)：

$$SFDR = 10\log(P_I/P_S) \quad (6)$$

可运用VBT语言实现SFDR的运算，其中 $P_I$ 为基波信号分量功率， $P_S$ 为最大杂波分量功率。SFDR的值也可通过观察输出频谱进行估算，如图7所示：

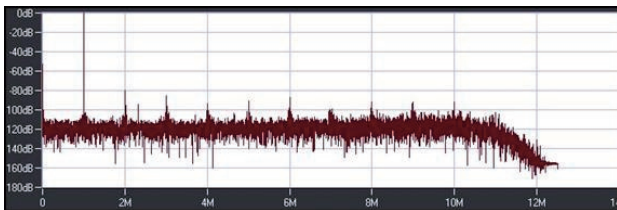


图7 AD9764的输出频谱

Fig.7 The output spectrum of AD9764

图中基波的幅度约为0dBc，最大失真成分(二次谐波)的幅度约为-80dBc，二者的差值即为SFDR，与测试结果(如图8)相符。

Test Name	Pin	Channel	Low	Measured	High
SFDR		-1	75.0000	80.3769	N/A

图8 SFDR 的测试结果

Fig.8 The result of SFDR

#### 3.2.2 THD 的测试验证

THD是谐波分量功率与信号分量功率之比，反映了DA转换器的线性度。根据公式(7)：

$$THD = 10\log(P_D / P_I) \quad (7)$$

可运用VBT语言实现THD的运算，其中 $P_I$ 为基波信号分量功率， $P_D$ 为谐波信号分量功率，一般累加到5次谐波即可。THD的测试结果如图9所示：

Test Name	Pin	Channel	Low	Measured	High
<Dyn_25M_1M_5V> THD		-1	N/A	-78.1286	-74.0000
<Dyn_50M_2M_5V> THD		-1	N/A	-72.4364	N/A
<THD_100M_2M_5V>THD		-1	N/A	-72.2439	N/A

图9 THD 的测试结果

Fig.9 The result of THD

AD9764的动态参数和静态参数测试结果与ADI手册的电参数表对比如表2所示：

表2 AD9764 测试结果对比

Tab.2 Table of comparison of test results of AD9764

Parameter	AVDD = DVDD =5 V, OUTFS = 20 mA		Units
	手册	实测	
<b>Static</b>			
INL	± 2.5	5.17	LSB
DNL	± 1.5	0.95	LSB
Offset Error	< ± 0.025	0.006	% of FSR
Gain Error (With Internal Reference)	± 1	−0.029	% of FSR
<b>SFDR</b>			

$$f_{CLOCK} = 25 \text{ MSPS};$$

$$f_{OUT} = 1.00 \text{ MHz}$$

0dBFS OUTPUT 82 80.38 dBc

-6dBFS OUTPUT 85 83.13 dBc

2 MHz Span 89 80.36 dBc

## THD

$f_{CLOCK} = 25$  MSPS;  
 $f_{OUT} = 1.00$  MHz -78 -78.13 dBc

$f_{CLOCK} = 50$  MSPS;  
 $f_{OUT} = 2.00$  MHz -75 -72.43 dBc

$f_{CLOCK} = 100$  MSPS;  
 $f_{OUT} = 2.00$  MHz -75 -72.24 dBc

## Power Supply

$I_{AVDD}$  25 24.47 mA

$I_{DVDD}$  1.5 1.85 mA

## Power Dissipation

$f_{CLOCK} = 25$  MSPS;  
 $f_{OUT} = 1.00$  MHz 133 131 mW

被测器件的实测值完全符合手册的要求, 通过表 2 可看出, 部分参数优于典型值, 动态参数还有改进的空间, 可改进测试接口板来降低噪声。经过多次重复性测试, 数据稳定可靠。由此可推断, 基于 UltraFlex 测试系统的 DA 转换器测试方法成立。

## 4 结论

本文以 ADI 公司的 AD9764 为例, 提出了一种基于泰瑞达 UltraFlex 测试系统, 运用 DSSC 模块和 PAC80 模拟板卡进行 DA 转换器测试的方法, 并在此基础上构建了测试平台, 验证测试表明, 该测试平

台具备高速转换器的测试能力, 可运用于产品批量检测, 满足量产需求。

## 参考文献 (References)

- [1] 俞宙, 高速高精度 DA 转换器测试技术 [D]. 成都: 电子科技大学, 2014.
- [2] 于祥苓. TLC5615 型 10 位 D/A 转换器测试技术研究 [J]. 电子技术与软件工程, 2015: 155-156.
- [3] AD9764 Datasheet. [2020-06-02]. <http://www.analog.com>.
- [4] 汪天伟. 混合集成电路测试硬件电路测试板的设计 [D]. 成都: 电子科技大学, 2013.
- [5] 刘丽娜. 数模转换器的自动测试方法研究 [D]. 西安: 西安电子科技大学, 2019.
- [6] 章慧彬, 朱江. 大规模集成电路测试程序开发技术及流程应用 [J]. 电子与封装, 2017: 10-15.
- [7] 中央军委装备发展部. 集成电路模拟数字、数字模拟转换器测试方法: GJB9388-2018 [S]. 2018: 3-20.
- [8] 冯建华, 肖钢. 混合信号集成电路测试与测量 [M]. 北京: 电子工业出版社, 2009: 302-328.



### 作者简介:

刘然 (1985—), 女, 北京人, 工程硕士, 工程师, 从事集成电路的自动测试工作。



# 导电胶固化参数的优化

李洪剑, 荆林晓, 李 峰, 井立鹏, 赵李阳

(北京微电子技术研究所, 北京 100076)

**摘 要:** 导电胶固化参数优化从固化温度和固化时间两方面进行, 通过体电阻率测试验证导电胶固化后的导电性能, 通过扫描电子显微镜观察微观组织结构确定导电胶导电机理。通过研究发现, 提高固化温度或延长固化时间均可以提高导电胶的导电性能, 但固化温度起决定作用, 当固化温度达到 270℃ 时, 导电胶固化导电性能最佳。

**关键词:** 导电胶; 导电性能; 固化温度; 固化时间

**中图分类号:** O 621.2      **文献标识码:** B

## Optimize the Curing Parameters of Conducting Resin

Li Hongjian, Jing Linxiao, Li Feng, Jing Lipeng, Zhao Liyang

(Beijing Microelectronics Technology Institute, Beijing, 100076, China)

**Abstract:** The study on the curing parameters of conducting resin is considered from two aspects - curing temperature and curing time. The conductivity was verified by the volume resistivity test, and the conducting mechanism was confirmed by scanning electron microscope(SEM) observation of the microstructure. The conductivity can be improved by increasing the temperature or prolonging the time, but temperature plays a decisive role, and the conductivity is the best when the temperature reaches 270 C .

**Key words:** conducting resin; conductivity; curing temperature; curing time

### 0 引言

对一些在高温下不能进行 Pb/Sn 焊接的元件而言, 导电胶粘剂的存在显得尤为重要<sup>[1-3]</sup>。其具备的优势, 如: 环境友好、加工步骤较少、固化温度较低、衬底上的应力较小以及细间距互联能力<sup>[4-7]</sup>。导电胶具备固化温度较低、衬底上的应力较小以及细间距互联能力, 是一种集导电性、粘结性为一体, 固化后具有一定的导电性能的胶粘剂。银具有优异的导电、导热性和化学稳定性, 使其成为导电胶导电填料的首选<sup>[8]</sup>。

本文选择填充银粉的环氧树脂体系导电胶, 从固化温度和固化时间两个方面综合研究其对导电胶固化后导电性能的影响。

### 1 试验过程及方法

#### 1.1 试验原料

采用表面镀金处理陶瓷外壳, 导电胶由银填料及聚合物芯片粘接胶组成, 具有低吸水率及高粘接强度, 导电胶参数如表 1 所示。

表 1 导电胶参数  
Tab.1 Conductive adhesive parameters

项目	温度膨胀系数	玻璃转换温度	体积热导率	体积电阻率
参数	33ppm/℃	240℃	1.0W/m·K@165℃	<0.01Ω·cm

#### 1.2 试验设计

在粘片区 8mm×8mm 范围均匀涂覆 40μm 厚导电胶, 固化参数见表 2。用以研究固化温度及

固化时间对导电性能影响，观察固化后微观组织。

表 2 固化参数  
Tab.2 Curing parameters

编号	温度℃	时间 h	编号	温度℃	时间 h
1	150	1	5	150	2
2	200	1	6	200	2
3	270	1	7	270	2
4	300	1	8	300	2

## 1.3 测试表征

### 1.3.1 导电性能测试

使用直流数字电阻测试仪测量固化后导电胶电阻，如图 1 所示。在固化后的导电胶两侧选取五个点进行测量并计算平均值，按照公式（1）计算体积电阻率。

$$\rho = \frac{R(W \times t)}{L} \quad (1)$$

式中： $\rho$  为电阻率（单位： $\Omega \cdot \text{cm}$ ）； $R$  为测量的电阻（单位： $\Omega$ ）； $W$  为胶层的宽度（单位： $\text{cm}$ ）； $t$  为胶层的厚度（单位： $\text{cm}$ ）； $L$  为胶层的长度（单位： $\text{cm}$ ）。

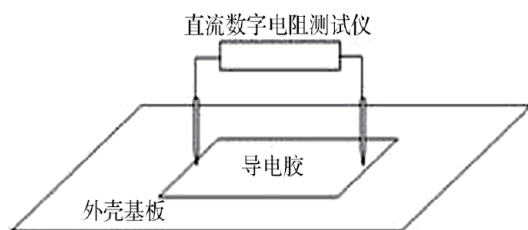


图 1 导电性测试示意图

Fig.1 Diagram of electrical conductivity test

### 1.3.2 SEM 观察

将试样横穿芯片切割，观察导电胶横截面，通过 SEM 观察不同固化条件下导电胶微观形貌。

## 2 试验结果

### 2.1 导电性能测试

电性能测试数据如表 3 所示。

表 3 导电胶体积电阻率

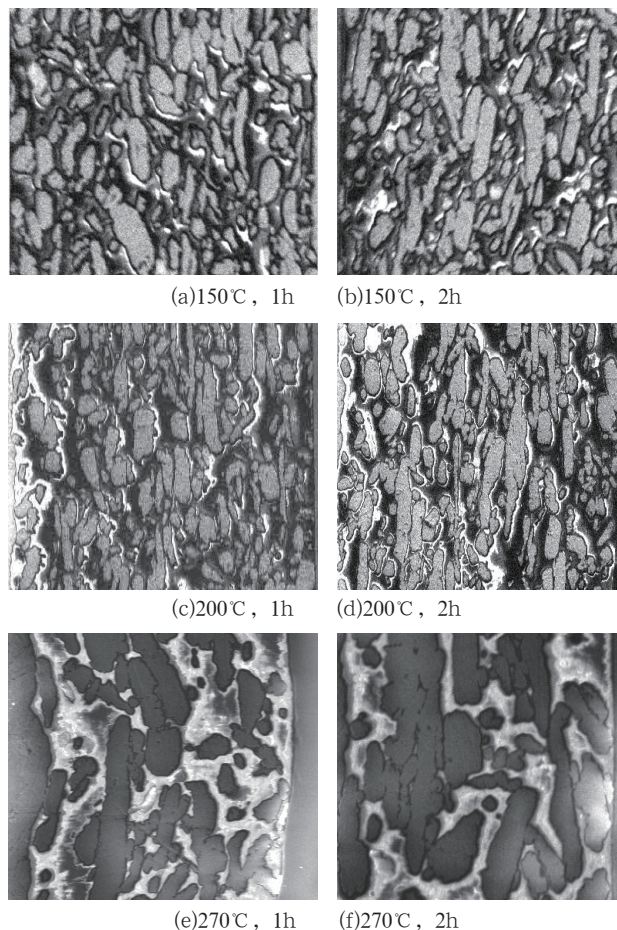
Tab.3 Conductive colloidal product resistivity

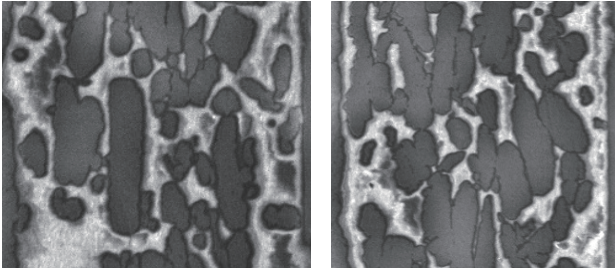
编号	体电阻 / $\Omega \cdot \text{cm}$	编号	体电阻 / $\Omega \cdot \text{cm}$
1	$\infty$	5	$\infty$
2	$\infty$	6	$\infty$
3	0.0125	7	0.008
4	0.016	8	0.011

由以上数据可知，导电胶在 150℃ 和 200℃ 固化后不导电；在 270℃ 和 300℃ 固化均导电，其中 270℃ 固化 2 小时体积电阻率最低，为  $0.008 \Omega \cdot \text{cm}$ 。当温度高于 270℃ 时，各固化参数下导电胶的体积电阻率相差较小，说明当固化时间为 1 小时，固化温度达到 270℃ 后，延长固化时间和升高固化温度对导电胶的导电性能影响不大。从以上多组固化条件下导电性能测试结果可知，固化时间一定，固化温度决定导电胶导电性能。

### 2.2 SEM 分析

导电胶横截面 SEM 观察如图 2 所示。





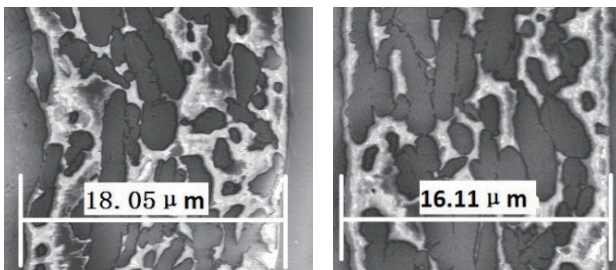
(g)300℃, 1h (h)300℃, 2h

图2 不同参数下导电胶横截面 SEM 照片

Fig.2 SEM photos of cross section of conductive adhesive under different parameters

由图2可知,导电胶150℃和200℃固化后银颗粒体积较小,银颗粒间填充剂残留较多,导致银颗粒间相互阻隔,因此导电性能差;200℃固化后银颗粒体积比150℃时稍大。270℃和300℃固化后银颗粒体积基本一致,相比150℃和200℃明显增大,且银颗粒间填充剂残留较少,颗粒间接触面积增大,因此固化温度为270℃和300℃条件下导电性能较好。相同固化温度条件下,固化时间对银颗粒体积影响不大,对导电性能的影响也较小。因此综合分析各组固化参数下导电胶横截面SEM照片,固化温度是影响固化后树脂基体体积和导电颗粒间接触程度的重要因素,提高温度可以使树脂基体体积减小,促进银颗粒生长,使导电颗粒间接触更加紧密,而延长固化时间对固化后银颗粒体积和导电颗粒间接触程度的影响不大。

分别测量150℃ 1h和270℃ 1h固化后导电胶厚度,见图3。固化温度越高,固化后导电胶层的厚度越薄,银颗粒体积更大,有利于导电颗粒接触。



(a)150℃, 1h (b)270℃, 1h

图3 固化后导电胶厚度

Fig.3 Thickness of conductive adhesive after curing

## 2.3 试验现象分析

对封装电学互连来说,导电胶体电阻率是最重要的参数之一,而聚合物的结构、导电填料在聚合物中的分布是决定导电胶电性能的关键因素。根据试验结果可知,导电胶体电阻率随固化时间延长而稍有降低,说明固化过程银颗粒间逐渐形成导电通路。随温度升高,导电胶体电阻率明显降低,表明银颗粒间接触随固化温度增加更紧密。

## 3 导电胶导电原理分析

导电胶体电阻是由集中电阻、隧穿电阻和导电颗粒内阻三部分组成,其中集中电阻是指电流流过较小的导电接触点时产生的电阻,隧穿电阻是指电流流过导电颗粒间隙或导电颗粒表面覆盖的有机薄膜或氧化物而产生的电阻。导电颗粒内阻对导电胶整体电阻影响较小,因此导电胶整体电阻主要由集中电阻和隧穿电阻决定,而集中电阻和隧穿电阻主要是由导电颗粒间接触状态决定的。导电胶整体电阻示意图如图4所示。由上述分析可知,导电颗粒间接触越紧密,接触面积越大,导电胶的导电性能越好。

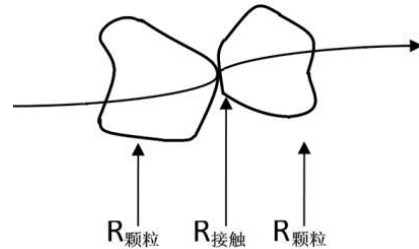


图4 导电胶电阻示意图

Fig.4 Diagram of conductive adhesive resistance

环氧树脂在固化时呈热塑性的线性结构,固化剂与环氧树脂的环氧基等反应,变成网状结构的大分子,成为不溶且不熔的热固性成品,能形成三向交联结构。固化条件不同,交联密度也不同,所得固化物的性能不同。固化剂参与固化,一方面可以减小基体树脂的体积,使导电填料之间联系更加紧密,另一方面可以增强导电胶的粘结强度,增强导电胶的力学性能。

提高固化温度和时间,可以使包覆在导电颗粒表面的有机薄膜或氧化膜分解破裂,使得导电颗粒间接



触面积增大, 同样使得隧穿电阻减小。

根据现有研究结果可知, 在导电胶固化过程中, 聚合物链的运动会受到限制, 导致应力不能完全释放, 因此会增加导电颗粒之间的接触面积, 使得导电胶的电阻减小。同时, 在导电胶固化过程中收缩, 并且在低于玻璃化转变温度下聚合物链冻结, 会产生更大的内应力, 使得导电颗粒之间的接触进一步增大, 所以导电胶的体积电阻率在固化过程中进一步降低。

## 4 结论

本文针对导电胶固化温度和固化时间对导电性能的影响开展研究, 得出以下结论:

(1) 导电胶固化温度提高, 体积电阻率下降, 延长固化时间对导电胶导电性能影响较小。

(2) 固化温度提高使导电胶固化过程产生更高的内应力, 内应力促使导电颗粒紧密接触, 显著降低导电胶体电阻率。

(3) 通过改善导电颗粒间接触, 能够提高导电胶导电性能。后续研究可以从改善导电颗粒间接触出发, 如通过外力方式使导电颗粒间接触更紧密。

(4) 本文研究的导电胶固化参数优化后, 保证了良好的导电性能, 已应用于正式产品。

## 参考文献 (References)

[1] 李志红. 环保型铜粉导电胶粘剂的研制 [D]. 赣州: 江西理工大学, 2008.

[2] 王晶, 赵大生, 孙秀英. 我国环保胶黏剂的现状及发展趋势 [J]. 化学与黏合, 2009, 31 (2) : 51-53.

[3] 吴国荣. 高性能环保胶黏剂将成为市场主流 [J]. 中国包装, 2010, 29 (5) : 53-58.

[4] 谢明贵, 郭丹, 黄艳, 等. 无铅电子组装材料—导电胶的研究进展 [J]. 精细化工, 2008, 25 (11) : 1061-1065.

[5] LI Y, WONG C P. Recent advances of conductive adhesives as a lead-free alternative in electronic packaging: materials, processing, reliability and applications [J]. Materials Science and Engineering R Reports, 2006, 51 (1) : 1-35.

[6] LI Y I, MOON K, WONG C P. Electronics without lead [J]. Science, 2005, 308 (5727) : 1419-1420.

[7] HWANG J. Implementing Lead-free Electronics [M]. McGraw-Hill Professional, 2004: 4-10.

[8] 王萍, 金石磊, 李小慧, 等. 单组份环氧树脂—银导电胶的制备研究 [J]. 广州化工, 2011, 39 (5) : 62-64.

[9] INOUE M, SUGANUMA K. The dependence on thermal history of the electrical properties of an epoxy-based isotropic conductive adhesive [J]. Journal of Electronic Materials, 2007, 36 (6) : 669-675.



### 作者简介:

李洪剑 (1992—), 男, 山东济南人, 硕士, 工程师, 现从事高可靠集成电路封装工艺研发工作。



# 远程通用重构电路设计与验证

刘怀锋, 李学武, 朱志强, 张帆, 李政, 刘银萍, 黄辉银

(北京微电子技术研究所, 北京 100076)

**摘要:** 本文设计了一种远程通用重构电路, 通过串口对程序存储器进行维护, 实现了设计产品装机后程序远程更新的目的, 相比于传统的现场可编程门阵列 (FPGA) 调试手段, 该电路有效地减少了产品的外部接口, 延长了调试线缆的距离。

**关键词:** 远程通用重构电路、程序存储器、串口

**中图分类号:** TN492      **文献标识码:** A

由于现场可编程门阵列 (FPGA) 和复杂可编程逻辑器件 (CPLD) 的易失性, 需要只读存储器 (PROM) 或闪存 (FLASH) 型程序存储器与之配套, 因此, 程序存储器的现场可重构成为设计产品现场调试检验的一种必要手段。当对产品内部的某个 FPGA 或 CPLD 进行程序维护时, 通常需要对产品进行开盖或拆板处理, 极大地阻碍了程序维护的便利性, 为了增加程序存储器重构的便利性, 本文设计了一种远程通用重构电路。该远程通用重构电路可以通过通用异步收发器 (UART) 接口, 对链路中的联合测试工作组 (JTAG) 型程序存储器<sup>[1-3]</sup>以及串行外设接口 (SPI) 型 FLASH<sup>[4,5]</sup>进行擦除、编程和回读校验操作, 实现应用程序装机后远程变更的目的。

远程通用重构电路作为上位机与产品中程序存储器和 FPGA 或 CPLD 之间的通信桥梁, 可以从链路中获取器件的 IDCODE, 反馈至上位机; 上位机通过反馈的 IDCODE, 选择指定器件, 完成对器件的读写擦除校验操作, 从而进行程序维护。

图 1 为远程通用重构电路的功能框图。上位机发送指令, 远程通用重构电路通过 UART 接口接收指令后, 对支持的 JTAG 器件和 SPI 器件进行相应的操作, 同时支持对通用 SPI 型 FLASH 进行操作。其中, 远程通用重构电路提供 1 组用户端 JTAG 接口和 8 组独立的板级端 JTAG 接口, 每组板级端 JTAG 接口最大支持 10 个 JTAG 器件。通过上位机可以选择用户端 JTAG 接口与 8 组板级端 JTAG 接口中的任一组进行直连, 实现通过厂商提供的调试工具进行在线调试; 同时, 远程通用重构电路提供 1 组 SPI 接口, 最大支持 4 个 SPI 器件。此外, 远程通用重构电路提供 1 组用户端 UART 接口及 4 组板级端 UART 接口, 支持用户端 UART 接口与任一板级端 UART 接口直连。

远程通用重构电路主要包括四个模块: 核心模块、UART 通信模块、FLASH 控制模块、JTAG 控制模块。核心模块负责下一级子模块的所有命令和数据交互, 将 UART 通信模块接收的指令转换为 FLASH 控制模块和 JTAG 控制模块可识别的模式选择指令和开始指令。在写操作时, 将 UART 通信模块接收的数据通过内部存储器进行存储, 用以对目标器件进行写操作。在读操作时, 将目标器件的返回数据通过内部存储器进行存储, 用以反馈至 UART 通信模块直至上位机。UART 通信模块负责外界与远程通用重构电路之间进行数据与命令的交互, 实现帧协议的解析和校验, 对上位机的指令和数据进行应答,

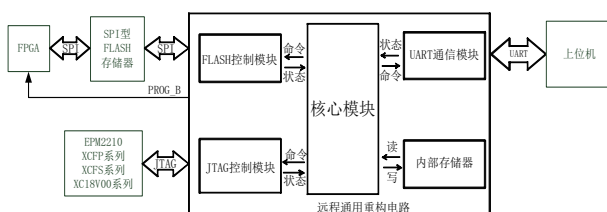


图 1 远程通用重构电路功能框图

Fig.1 The functional diagram blocks of remote universal reconfiguration circuit

并可发送 SPI 型 FLASH 操作指令、JTAG 器件操作指令、UART 接口切换指令、波特率切换指令、复位指令以及对各个模块主要状态信号的捕捉与反馈。FLASH 控制模块的顶层模块接收到 UART 通信模块命令后，解析该命令确定目标 FLASH 器件的操作指令。通过 SPI 接口收发数据，进行 FLASH 的擦除、页编程、回读数据和 CRC 校验操作。当 FLASH 操作完成后，向 UART 模块发送应答帧表明操作完成。JTAG 控制模块控制各子模块实现 JTAG 通道选择、JTAG 直连、JTAG 链路识别、JTAG 器件选择、JTAG 器件写、JTAG 器件读、JTAG 器件擦除以及 CRC 校验。对 JTAG 链路识别和 JTAG 器件的读写擦除是通过控制 JTAG 接口中的时钟和数据线来实现的。在时钟下，通过控制目标器件的不同状态和数据输入，实现器件的重构。

为了增加远程通用重构电路的可靠性，电路与上位机通讯采用多次应答确认的模式，比如命令帧采取异或和校验的方式，通过应答帧的指示可排除误命令帧的影响；并在电路中加入触发器和 RAM 的可测试性设计，通过扫描链及 MBIST 测试提高测试覆盖率。

完成上述电路设计后，对电路进行了板级验证，图 2 为远程通用重构电路的验证板。针对 JTAG 器件的验证，重构电路最大可支持 8 组 JTAG 链路，由于 8 组板级端 JTAG 接口相互独立且可用跳线进行互连，因此验证板先对 1 个通道的 JTAG 链路进行功能验证，通过跳线互连验证其余 7 个通道的可靠性。JTAG 通道包含 10 个 JTAG 器件，包含了电路支持的所有 JTAG 器件。每个器件的数据和时钟线均独立引出跳线，每个器件均由跳线帽进行供电连接，可以通过短接数据线和对相应器件断电来缩减器件数量。针对 SPI 器件，SPI 的通道时钟、使能和数据信号线均相互独立，且每个信号线均独立引出跳线，由跳线帽进行供电连接。

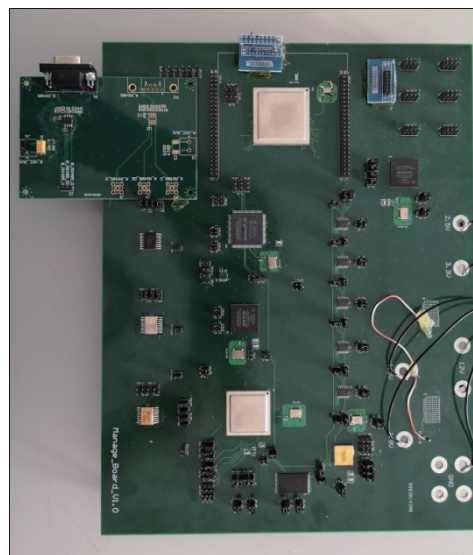


图 2 远程通用重构电路验证板

Fig.2 The verification board of remote universal reconfiguration circuit

针对 JTAG 器件和 SPI 器件的识别，发送回读 IDCODE 指令后，上位机收到 IDCODE 并进行识别，仅当 IDCODE 有效时才执行器件的读写操作。当器件识别成功后，上位机发送擦除、编程和回读校验指令更新程序存储器中的程序。当校验成功后，FPGA 加载程序存储器中的码流，监测 FPGA 的功能和更新的码流功能完全一致。针对 JTAG 器件，验证了 EPM2210、XCF32P、XCF04S、XC18V04 四款器件的擦除、数据回读、编程和 CRC 校验功能，功能均通过，FPGA 可以加载重构码流的功能。针对 SPI 器件，验证了 M25P64、S25FL256S、JFM25F128A、SM25P64 四款器件的全擦除、扇区擦除、数据回读、页编程和 CRC 校验功能，功能均通过，FPGA 可以加载重构码流的功能。

板级验证结果表明，本文设计的远程通用重构电路，可以通过 UART 接口对 JTAG 型程序存储器以及 SPI 型 FLASH 进行现场可重构，减少产品的外部接口，延长调试线缆的距离，有效增加程序存储器现场重构的便利性。

致谢：感谢北京微电子技术研究所工程师王硕、庞永江、孙华波的讨论，以及李明哲、刘映光 and 杨泽宇在板级验证方面的支持。

### 参考文献 (References)

- [1] XILINX. Platform Flash In-System Programmable Configuration PROMs[K].2016: 10-30.
- [2] INTEL. MAX II Device Handbook[K].2010: 1-10.
- [3] XILINX. XC18V00 Series In-System-Programmable Configuration PROMs[K].2019: 1-15.
- [4] NUMONYX. 64 Mbit, low voltage, Serial Flash memorywith 75 MHz SPI bus interface[K].2010: 40-50.
- [5] CYPRESS. 128 Mb (16 MB)/256 Mb (32 MB),3.0V SPI Flash Memory[K].2019: 5-12.



#### 作者简介:

刘怀锋(1994—),男,安徽合肥人,硕士,主要研究方向为动态重构电路、刷新芯片设计。

## 《航天微电子》征文通知

《航天微电子》是由北京微电子技术研究所主办，由中国航天科技集团有限公司科技委微电子及元器件应用专业组作学术指导的一份专业性科技期刊。

本刊的宗旨是综合反映宇航和军用微系统、集成电路、半导体分立器件在材料与器件、设计与制造、测试与验证、质量与可靠性、集成与应用等方面进行前沿探索、理论研究、技术创新、工程实践的成果；为航天和军用微电子及元器件应用相关技术的学者、工程师、管理人员和学生提供一个交流的平台，进一步促进微电子技术 with 航天工程各专业技术领域的融合与创新。

本刊遵循“博采众长，百花齐放”的方针，以开放的态度广纳同业研究成果，恪守科学精神，弘扬学术民主，积极发挥好学术交流平台的作用，使之成为宣传和展示航天微电子技术和学术成果的一个窗口。

《航天微电子》长期面向广大从事微电子及其应用相关的科技工作者征文，欢迎积极踊跃投稿，一经录用稿酬从优。



# 征稿须知

## 征稿范围

《专家视角》栏目以特邀稿件形式报道专家的宏观视野、发展展望、回顾思考、理论见解、专业评论；  
《战略前沿》栏目主要报道面向技术创新发展的战略性研究、前瞻性探索、趋势性分析、可行性研判、策略性建议；  
《研究论坛》栏目主要报道具有原创性和一定学术价值的理论、技术创新研究成果；  
《应用在线》栏目主要报道新技术和新产品在工程应用方面的方法创新、数据分析、经验总结；  
《技术通讯》栏目主要报道具有重要意义的阶段性研发成果和技术动态。

## 来稿要求

稿件版面与格式要求遵照“航天微电子论文版面要求”的具体条件，信息完整，无泄密内容。同时需附作者单位保密部门出具的论文内容保密审查证明。投稿文章要求未曾在正式出版物上发表过、且不在其他刊物或会议的审稿过程之中。作者需保证投稿文章无抄袭和侵权等非法行为。

## 审核

来稿将送相关领域专家审阅，作者在收到修改意见后，须在 1 周内修改完成并发往编辑部。是否刊登收录稿件最终由编委会审定，在收到修回稿 2 周内由编辑部通知作者。不适合刊登之稿，会尽快通知作者（电子邮件形式）。若投稿后三个月内未收到编辑部任何通知，作者有权改投其他刊物。

## 录用

经审核确定录用的论文，编辑部有权做必要的技术性和文字性修改。论文一经刊登，将酌致稿酬，并赠送当期。

## 版权

经作者签字并在本刊发表之论文，表明作者已经认可其版权以下使用权（含数字版权）转让给本刊编辑部。本刊在与国内数字出版机构（文献数据库或检索系统）交流及合作时，不再征询作者意见。考虑到本刊目前为行业内交流资料，非正式出版物，本刊在论文刊登后，允许作者再次投稿其他刊物，并同意作者转让其版权。

## 投稿

目前以电子投稿为主，不接收纸稿。文件以 doc 和 pdf 格式文件为宜。

投稿邮箱：内网 [htwdz@mx.catec.casc](mailto:htwdz@mx.catec.casc)

外网 [htwdz@mxtronics.com](mailto:htwdz@mxtronics.com)

联系人：范隆 电话：68198371

