

Ver 2.3

BQV 系列军用 FPGA

产品使用手册

产品型号：BQV300/600



北京微电子技术研究所



版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2011.11.3		首次编写	
2.0	2014.3.20	8	去掉 BQV50、BQV1000 相关参数 增加了 BQV300BG 的封装信息 增加了 BQV300CQ240A 两种成性标准尺寸图	
2.1	2017.6.6		更改手册模板	
2.2	2018.2		更换模板	
2.3	2018.11		产品应用说明中添加板级应用建议	



目 录

一、产品特性.....	4
二、产品概述.....	2
三、结构图.....	2
四、引脚描述.....	3
五、引脚定义.....	4
六、产品描述.....	4
6.1 产品模块描述.....	5
6.2 边界扫描.....	14
6.3 开发系统.....	16
6.4 芯片配置.....	22
七、电参数.....	31
7.1 电试验要求.....	32
7.2 绝对最大额定值.....	32
7.3 推荐工作条件.....	33
八、封装说明.....	34
8.1 BQV300.....	34
8.2 BQV600.....	37
九、产品应用注意事项.....	38
9.1 产品应用说明.....	38
9.2 产品防护.....	39
十、研制生产单位联系方式.....	39
附录 1 BQV系列FPGA电路引出端排列.....	41
1. BQV300 PQ240 封装引出端排列对应关系.....	41
2. BQV300/BQV600 CQFP228 封装引出端排列对应关系.....	43
3. BQV300 BG352 引出端排列对应关系.....	45



一、产品特性

- **高速、高密度FPGA**
 - 30万/60万系统门
 - 180MHz系统工作频率
 - 兼容66-MHz PCI 协议
 - 支持Compact PCI 协议热插拔
- **支持多种I/O接口标准**
 - 16种高性能接口标准
 - 可直接与ZBTRAM器件相连接
- **内置时钟管理电路**
 - 4个专用的高级时钟控制延迟锁相环(DLLs)
 - 4个一级low-skew全局时钟分布网络，24个二级局域时钟网络
- **多级存储系统**
 - 可配置为16-bit RAM, 32-bit RAM, 16-bit双端口RAM或16-bit移位寄存器的LUTs
 - 多个可配置为同步双端口的4k-bit BRAM
 - 可实现与外部信号高速连接的高性能RAM
- **结构灵活, 可实现速度和密度的平衡**
 - 专用的高速算术计算进位逻辑
 - 支持专用乘法器
 - 通过级连可实现多输入函数设计
- 大量带时钟使能、双重同步/异步set和reset信号的寄存器/锁存器资源
- 内部三态总线
- 支持IEEE 1149.1 边界扫描逻辑
- 芯片温度传感二极管
- **FPGA Foundation和第三方开发系统支持**
 - 完全支持联合库, 关联宏和设计管理
 - 适合大部分PC和工作站平台
- **SRAM型FPGA, 支持在线系统编程**
 - 无限次重复编程
 - 四种配置模式
 - 0.25 μm 5 层金属工艺
 - 100% 的工厂测试
- **可靠性指标**
 - 工作温度: $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$
 - 抗静电能力(人体模型): 2000V
 - GJB597A和GJB548A-96中规定的B级
- **BQV系列FPGA兼容性**
 - 完全兼容于Xilinx Virtex系列FPGA
 - 可实现管脚到管脚的替换
 - 现有的virtex码流可以直接应用于BQV系列FPGA中, 功能完全一致

二、产品概述

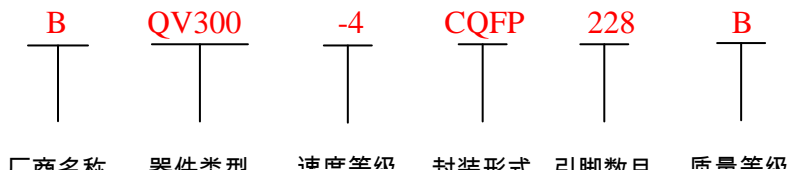
BQV系列FPGA提出了一种高性能、高密度可编程逻辑的解决方案，通过优化布局布线和采用先进的5层金属0.25um工艺，大大提高了硅片的利用率。这些进步使BQV系列FPGA功能更强，并可灵活替代掩膜可编程门阵列。器件具体规模如表 1 所示。

在前一代FPGA经验的基础上，BQV系列FPGA在可编程逻辑设计方面迈出了革命性的一步。通过组合大量可编程系统的特性，设计出了高速、灵活的互连资源，再加上先进的工艺技术，BQV系列FPGA 提出了一种高性能、高密度可编程逻辑的解决方案，这增加了设计的灵活性，同时减少了上市时间。

表1 BQV系列FPGA器件规模

器件型号	系统门	CLB 阵列	逻辑单元	最大可用I/O	BRAM位	最大片上可选RAM位
BQV300	322, 970	32x48	6, 912	162	65, 536	98, 304
BQV600	661, 111	48x72	15, 552	162	98, 304	221, 184

BQV系列FPGA器件识别号如下，其中厂商名称为B，代表北京微电子技术研究所。



三、结构图

BQV系列FPGA的结构，如图1所示，包括两个主要的可配置单元：CLB 和IOB。

CLB是可配置逻辑单元

IOB是可配置接口模块，提供封装引脚与CLB之间的互连。

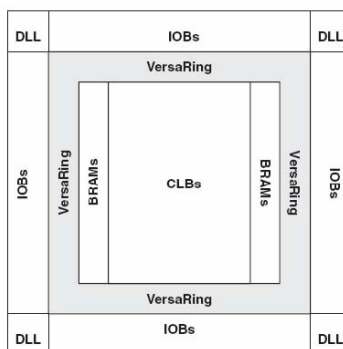


图1 BQV系列FPGA总体架构

CLB之间通过通用互连矩阵——GRM实现互连，BQV系列FPGA其他模块也连接到GRM，GRM由开关矩阵和互连线组成，开关点是水平和垂直布线通道的交叉点。CLB阵列的四周是VersaRing Block，它提供了额外的布线资源，提高了I/O的布线能力，并且方便了引脚约束。

BQV系列FPGA还包括有如下IP模块：

多个专用的4096位存储模块

四个数字时钟锁相环，实现时钟补偿和时钟控制

每行CLB提供四条三态buffers线，可以驱动专用水平布线资源

配置数据在FPGA器件上电以后被加载到FPGA内部的存储单元，这些数据控制CLB的功能和互连资源的连接关系，当需要改变器件的功能时可重新进行加载。

四、引脚描述

表2 特殊功能管脚描述

管脚名称	专用管脚	方向	描述
GCK0, GCK1, GCK2, GCK3	是	输入	连接全局时钟缓冲的时钟输入管脚. 当不需要时钟的时候这些管脚可变为用户输入。
M0, M1, M2	是	输入	用来选择配置模式的模式管脚。
CCLK	是	输入或 输出	配置时钟输入输出管脚. 在SelectMAP模式和从串模式时是输入管脚, 主串模式时是输出管脚。配置完成以后仅是输入, 逻辑状态可以不予考虑。
PROGRAM	是	输入	当强制为低的时候初始化配置序列。
DONE	是	双向	指示配置载入完成, 在start-up过程中, 输出端口可以是开漏输出。
INIT	否	双向	当为低的时候, 表明配置存储器正在清零, 配置完成以后, 管脚变为用户输入/输出管脚
BUSY/ DOUT	否	输出	SelectMAP模式下, BUSY控制配置数据载入速率。除非选SelectMAP端口保留, 否则配置完成以后该管脚变为用户输入/输出管脚。串行模式下, DOUT提供菊花链里面下游器件的配置信息。配置完成以后, 该管脚变为用户输入输出管脚。
D0/DIN, D1, D2, D3, D4, D5, D6, D7	否	输入 或 输出	在SelectMAP模式下, D0 - D7是配置数据管脚; 除非选择SelectMAP端口保留, 否则, 配置完成以后这些管脚变为用户输入/输出管脚。在串行模式下, DIN是唯一的数据输入端。配置完成以后, 该管脚变为用户输入/输出管脚。
WRITE	否	输入	在SelectMAP模式下, 低有效写使能信号。除非选择SelectMAP端口保留, 否则, 配置完成以后该管脚变为用户输入/输出管脚。

CS	否	输入	在 SelectMAP 模式下，低有效片选信号。除非选择 SelectMAP 端口保留，否则，配置完成以后该管脚变为用户输入/输出管脚。
TDI, TDO TMS, TCK	是	混合	边界扫描测试端口，在 IEEE 1149.1 协议里面有详细的定义。
DXN, DXP	是	N/A	温度传感二极管管脚。阳极：DXP，阴极：DXN。
VCCINT	是	输入	内部核电源供电管脚。
VCCO	是	输入	I/O 输出驱动供电管脚（符合各个 bank 的规则）。
VREF	否	输入	输入阈值电压管脚。不需要外部的阈值电压时，变为用户输入/输出端口（符合各个 bank 的规则）。
GND	是	输入	地

五、引脚定义

BQV 系列 FPGA 器件的最大可用 I/O，与具体的封装有关，如表 3 所示。

表 3 BQV 系列 FPGA 各封装最多可使用 I/O（不包括专用时钟管脚）

器件	封装形式	最大用户 I/O	管脚定义
BQV300	CQFP228	162	附录 1
	CQFP240	166	附录 1
	BG352	260	附录 1
BQV600	CQFP228	162	附录 1

六、产品描述

BQV 器件采用先进的 5 层金属 0.25um 工艺，大大提高了集成度，可以实现更多逻辑功能。相比前一代 FPGA，BQV 系列 FPGA 器件提供更高的性能。设计频率可达到 200 MHz 的同步系统时钟速率。BQV 系列 FPGA 输入和输出完全兼容 PCI 协议，并且接口可工作在 33 MHz 或者 66 MHz。另外，BQV 系列 FPGA 支持 Compact PCI 协议的热插拔要求。

BQV 器件的结构非常灵活、规则，中间是一个 CLB 阵列，四周是可编程 IOB，它们之间通过布线资源实现高速互连。BQV 系列 FPGA 的布线资源非常丰富，可实现更大和更复杂的设计。

BQV 系列 FPGA 是基于 SRAM 型的可编程逻辑器件，并可通过给内部存储单元加载配置数据实现定制设计。master serial 配置模式下，FPGA 从外部 PROM 读取配置数据，其它模式下，配置数据被写入 FPGA (Select-MAP™, slave serial, 和 JTAG 模式)。

BQV 系列 FPGA 采用 Xilinx Foundati/On 和 Alliance Series Development systems 进行设

计，这些软件完全支持BQV系列FPGA，从行为级和原理图输入，到仿真、自动设计映射和实现，再到配置码流生成、下载和回读，覆盖各个方面。

6.1 产品模块描述

IOB 模块

BQV系列FPGA的IOB结构如图 2 所示，IOB的输入和输出可以支持多种I/O信号标准（参见表4）。

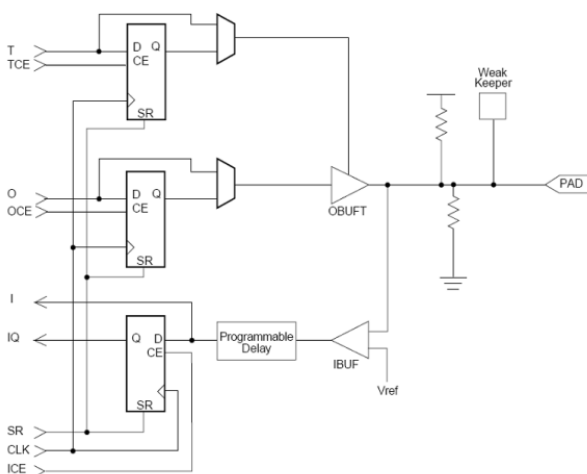


图2 BQV系列FPGA I/O 单元

IOB的三个存储单元可实现边沿触发的D-触发器或电平敏感的锁存器功能。

每个IOB 有一个时钟信号（CLK），三个触发器共用该时钟信号，每个触发器都有一个独立的时钟使能CE信号。

除了CLK和CE控制信号，三个触发器还共用一个Set/Reset (SR) 信号。对每个触发器而言，这个信号都可以被独立地配置成同步Set、同步Reset、异步Reset或者异步Clear信号。

输出buffer和所有的IOB控制信号都有独立的极性控制端，可以通过配置，将这些信号设置为高电平有效或者是低电平有效。

为避免瞬时过压造成损伤，所有的pad都被ESD保护。BQV系列FPGA提供了两种过压保护形式，一种是5V耐压，另一种是不支持5V耐压。5V耐压结构中，有一个齐纳（Zener-like）结构连接到地，当输出电压接近6.5V 时，此结构开启，提供泄放通路。当要求兼容3.3V PCI 协议时，会连接一个常规的钳位二极管到输出参考电源电压端（VCC0）。

表4 支持可选 I/O 标准

I/O Standard	Input Reference Voltage (V_{REF})	Output Source Voltage (V_{CCO})	Board Termination Voltage (V_{TT})	5 V Tolerant
LVTTTL 2 – 24 mA	N/A	3.3	N/A	Yes
LVC MOS2	N/A	2.5	N/A	Yes
PCI, 5 V	N/A	3.3	N/A	Yes
PCI, 3.3 V	N/A	3.3	N/A	No
GTL	0.8	N/A	1.2	No
GTL+	1.0	N/A	1.5	No
HSTL Class I	0.75	1.5	0.75	No
HSTL Class III	0.9	1.5	1.5	No
HSTL Class IV	0.9	1.5	1.5	No
SSTL3 Class I & II	1.5	3.3	1.5	No
SSTL2 Class I & II	1.25	2.5	1.25	No
CTT	1.5	3.3	1.5	No
AGP	1.32	3.3	N/A	No

每个pad 连接有可选的上拉和下拉电阻以及可选的弱保持电路。

在配置前，所有与配置无关的引脚都会被强制为高阻态，下拉电阻和弱保持电路处在无效状态，此时输入、输出引脚可被外部强制上拉或下拉，建议的上拉或下拉电阻为50K Ω ，但是如果采用下拉，建议配置的时候选择不带上拉的配置模式，以减小配置漏电。

配置时上拉电阻能否起作用，受配置模式引脚控制。如果上拉电阻没被激活，所有的引脚将会浮空，因此，如果想控制管脚在配制时的逻辑电平，就必须按照需求，给引脚提供外部上拉或下拉电阻。所有的BQV系列FPGA的IOB都支持IEEE 1149.1 的边界扫描测试。

输入路径

BQV系列FPGA的IOB输入路径上都有一个buffer，输入信号可以直接进入内部逻辑或者通过这个输入触发器送入内部逻辑。

触发器D输入端有一个可选的延迟单元，它可以消除了pad-to-pad的保持时间。这个延迟与FPGA内部时钟分布延迟相匹配，使用时，可确保pad-to-pad保持时间为0。

每个输入buffer都可以被配置，从而支持各种低电压信号标准。在这些标准中，输入buffer使用用户提供的阈值电压 V_{REF} 。是否需要 V_{REF} 取决于该IOB使用的电压信号标准，可参见“I/O Banking”。

每个用户I/O输入端都有可选的上拉和下拉电阻，可在配置后使用。它们的取值为50k到100k欧姆。

输出路径

输出路径上有一个三态输出buffer，它驱动输出信号到pad上。输出信号可从内部逻辑直接或通过这个可选的IOB输出触发器连接到pad。

输出信号的三态控制信号来自内部逻辑，这个控制信号可以直接来自内部逻辑或内部逻

辑通过一个带同步使能端的触发器。

为了适用宽范围的低电压信号标准，每个输出驱动器可单独配置。每个输出buffer可输出的最大电流为24mA, 可泻放的最大电流为48mA。通过控制驱动强度和转换速率，可减少总线的不定态。

大多数信号标准中，输出高电压取决于外部VCC0电压。是否需要VCC0电压取决于该IOB和其相邻的各IOB中使用的电压信号标准，可参见“I/O Banking”。

每个输出端都连接一个可选的弱保持电路。选中时，此电路监控pad上的电压，并且根据输入信号的电平微弱地将引脚驱动到高或低, 从而与输入信号相匹配。如果引脚连接到一个多源信号，且所有的驱动器都没有被使能，弱保持电路会将信号保持在最后一个状态。这种方法保持某一逻辑电平，可以消除总线的抖动。

因为弱保持电路使用IOB输入buffer来监控输入电平，若所使用的信号标准，需要一个合适的VREF电压。则VREF电压的提供必须遵照“I/O banking”规则。

I/O Banking

上面所述的一些I/O标准需要VCC0和VREF电压。这两种电压由外部提供，并连接到器件的相应引脚上，为一组IOB服务，这组IOB组成一个bank。在一个给定的bank里可以组合使用多种I/O标准，但必须遵守一定的规则（可参见“I/O Banking”）。

将FPGA的每个边分作两个bank，从而得到8个I/O bank，如图3所示。每个bank有多个VCC0引脚, 这些引脚必须连接到相同的电压上, 而这个电压的值由所使用的输出标准决定。

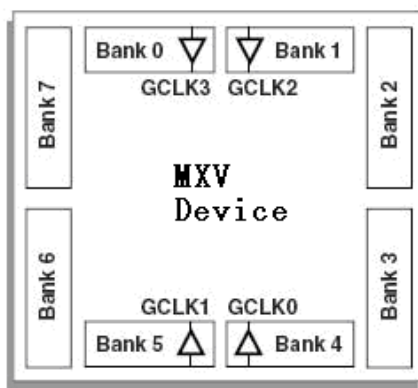


图3 BQV系列FPGA I/O Banks

在一个bank里，只有当它们使用相同的VCC0时，输出标准可以组合使用。标准之间是否兼容如表5所示。由表可以得出GTL和GTL+ 适用所有的电压，因为它们是开漏输出不依赖于VCC0。

表5 可兼容的输出标准

VCC0	可兼容标准
3.3 V	PCI, LVTTTL, SSTL3 I, SSTL3 II, CTT, AGP, GTL, GTL+
2.5 V	SSTL2 I, SSTL2 II, LVCMOS2, GTL, GTL+
1.5 V	HSTL I, HSTL III, HSTL IV, GTL, GTL+

一些输入标准，需要用户提供一个阈值电压VREF。这种情况下，某些特定的用户I/O引脚被自动配置为VREF输入。一个bank里大约有六分之一的I/O引脚能起这个作用。

一个bank里的VREF引脚在内部被连接在一起，因此每个bank里只能使用一个VREF电压。然而，为了正确的操作，bank里所有的VREF引脚必须连接到外部电压。在一个bank里，需要VREF的输入端可以和那些不需要VREF的输入端混合出现。然而，一个bank里只能使用一个VREF电压。使用VREF的输入buffer不支持5V耐压。只有LVTTTL, LVCMOS2, 和 PCI33 MHz 5 V, 支持5V耐压。

每个bank的VCC0和VREF引脚列在器件引脚列表中。表中还说明了每个I/O bank从属关系 (bank affiliate I/O)。

可配置逻辑块-CLB

CLB的基本组成块是逻辑单元 (LC)。一个LC包括一个4输入函数发生器、进位逻辑和一个存储单元。每个LC中函数发生器的输出驱动两个负载，一个是CLB的输出，另外一个为触发器的D-输入端。每个BQV系列FPGA的CLB包括4个LC，分布在两个相似的slice中，如图4所示。

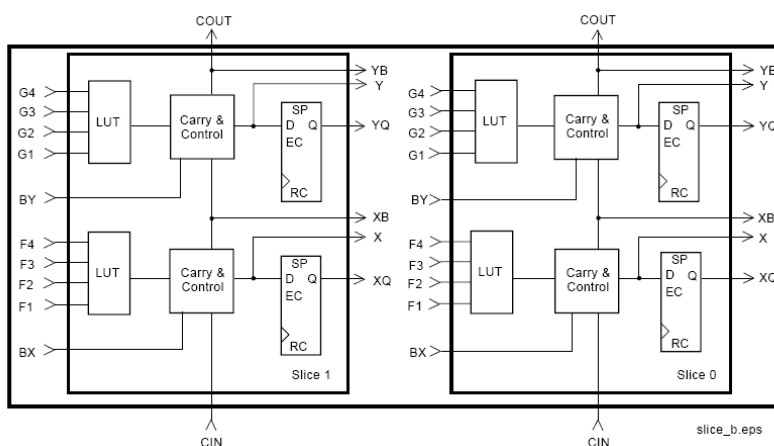


图4 2-Slice BQV系列FPGA的CLB

图5是一个slice的详细说明。除了四个基本的LC，BQV系列FPGA的CLB还包括组合函数发生器F5、F6以提供5或6输入函数的逻辑。因此，估算一个给定器件提供的系统门数量时，每个CLB当作4.5个LC考虑。

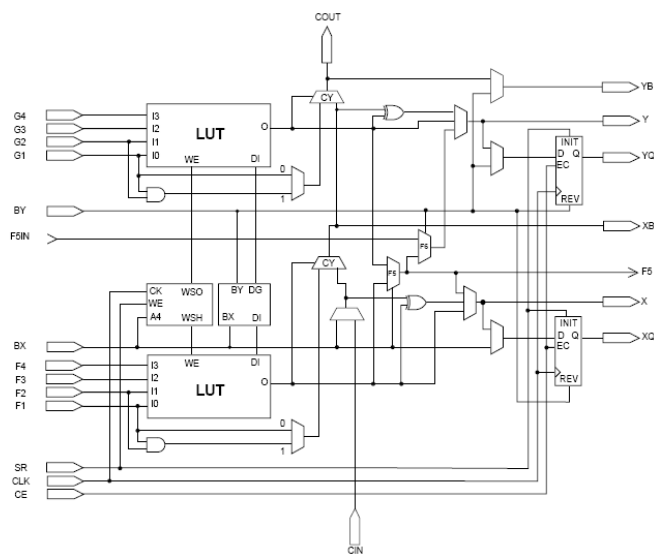


图5 BQV系列FPGA Slice结构

查找表-LUT

BQV系列FPGA函数发生器是一个4-输入查找表。除了用作函数发生器，每个LUT可被用作一个 16×1 -bit同步RAM。另外，一个slice中的两个LUT还可组合为一个 16×2 -bit或 32×1 -bit的同步RAM，或者一个 16×1 -bit双端口同步RAM。

BQV系列FPGA的LUT还可用作一个16-bit移位寄存器，用于捕捉高速或突发模式的数据。这种模式还可应用于其他领域，比如数字信号处理应用中的数据储存。

存储单元

BQV系列FPGA的slice中的存储单元可被配置为边沿触发的D-触发器或电平敏感的锁存器。D-输入端可以直接由slice的输入来驱动，也可由slice中的函数发生器的输出来驱动。

除了Clock和Clock Enable信号，每个slice还有同步set和reset信号(SR and BY)。SR将存储单元强制拉到初始状态（配置中定义的一个初始状态）。BY则将它强制拉到相反的状态。两个信号中的一个可被配置为同步信号。所有的控制信号都可被单独反向，被该slice中的两个触发器共用。

附加逻辑

每个slice的F5多路器，可以将两个函数发生器的输出组合到一起，从而可以实现任意的5输入函数、一个4选1多路器或特定的高至9输入的函数。类似地，CLB中的F6多路器，通过选通F5多路选择器的输出，将所有四个函数发生器的输出组合到一起。这样可实现任意的6输入函数、一个8选1多路器或特定的高至9输入的函数功能。

水平相邻的两个CLB之间有四条直连线，平均每个LC一条。这些通路能提供额外的数据输入路径和额外的局部布线资源（方便了各逻辑资源之间的连接）。

算术逻辑

专用进位逻辑是为了高速算术函数，而设计的逻辑电路。它可以提供快速的进位能力。BQV系列FPGA的CLB支持两条独立的进位链，每个slice一条。进位链的深度是每个CLB两bit。

算术逻辑包括一个XOR门，可在一个LC中实现一个1-bit的全加器。另外，还提供了一个专用AND门以提高乘法器的工作效率。专用进位路径还可用于级连函数发生器以实现宽逻辑函数。

BUFTs

每个BQV系列FPGA的CLB包含两个三态驱动器(BUFTs)，可驱动片上总线。每个BQV系列FPGA的BUFT 有一个独立的三态控制端和一个独立的输入端。

Block SelectRAM

BQV系列FPGA包含许多个块状存储单元，这补充了分布式LUT SelectRAMs (CLB 中的LUT实现的分布式RAM结构) 的不足。

Block SelectRAM 存储块以列的形式分布在整个芯片中。所有的BQV器件都包括两列Block SelectRAM存储块。每边一列。每列都占据整个芯片高度。每个存储块为四个CLB 的高度，因此，一个BQV器件，如果每列有64个CLB则每列包含16个存储块，整个芯片总共包含32个存储块。表6列出了BQV系列FPGA 器件block SelectRAM 存储器的数量。

表6 BQV系列FPGA 片选BRAM数目

Device	# of Blocks	Total Block SelectRAM Bits
BQV300	16	65, 536
BQV600	24	98, 304

如图6 所示，每个block SelectRAM 单元是完全同步的双端口4096-bit RAM ，并且每个端口都有独立的控制信号。两个端口的数据宽度都可独立配置，可以通过block SelectRAM 实现总线宽度的相互转换。

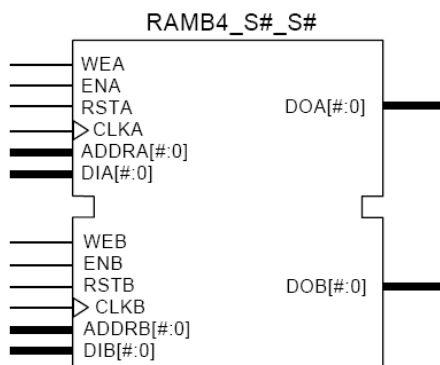


图6 双端口 Block SelectRAM

表 7 是block SelectRAM 的深度和宽度之间的变化关系。

表7: Block SelectRAM 端口

Width	Depth	ADDR Bus	Data Bus
1	4096	ADDR<11:0>	DATA<0>
2	2048	ADDR<10:0>	DATA<1:0>
4	1024	ADDR<9:0>	DATA<3:0>
8	512	ADDR<8:0>	DATA<7:0>
16	256	ADDR<7:0>	DATA<15:0>

BQV系列FPGA的block SelectRAM 有自己专用布线资源，便于block SelectRAM和CLB及其他资源之间的互连。

可编程布线矩阵

BQV系列FPGA布线结构和它的布局布线软件定义了一种专门的优化算法。该算法有效减小了长路径引入的延迟，能达到最好的系统性能。这种结构可以和软件实现无缝配合，从而减小了设计的编辑时间，这种结构也可以减少反复设计的时间，从而缩短整个设计的周期。

局部布线资源

如图 7 所示，是BQV系列FPGA布线资源的缩略图，局部布线资源，主要有如下三种：

- LUTs, flip-flops, 和通用互联矩阵（GRM）这三种类型资源之间的互连线。
- CLB内部的反馈路径，用最小的布线延迟，实现了LUT之间的快速互连。
- 水平相邻的CLB 之间的直连线。

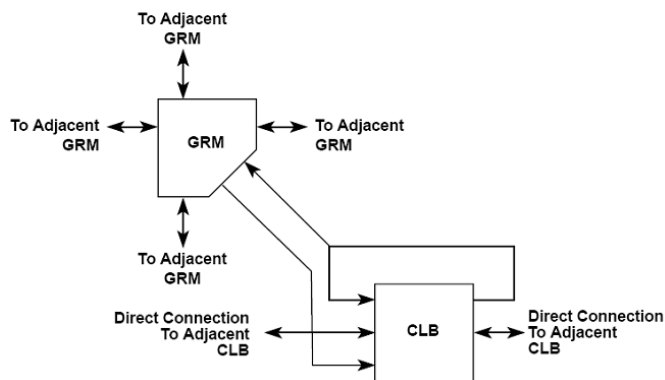


图7 BQV系列FPGA布线资源缩略图

通用布线资源

BQV系列FPGA的大多数信号，都通过通用布线资源进行布线，于是，大部分资源都在这一层次实现互连。通用布线资源位于与CLB行和列相对应的水平和垂直布线通道上。通用布线资源列举如下。

通用布线矩阵（GRM）是一个与CLB 相邻的开关矩阵，水平和垂直布线资源通过它实现

互连，CLB通过它访问通用布线资源。

24条单长线，实现GRM信号与四个相邻的GRM之间的互连。

12条带缓冲器的六长线交叉排列，GRM信号可以通过六长线，布线到四个方向上相隔六个block距离的GRM。六长线只能在端点处驱动，可以在端点处或中点处（距离源头三个block长度）访问六长线上的信号。六长线的三分之一为双向，其余为单向。

12条带缓冲器的长线，可以实现器件上信号的快速高效传播，该信号线是双向线。垂直长线占据整个器件的高度，水平长线占据整个器件的宽度

I/O 布线资源

器件的四周，CLB阵列和IOB 之间，BQV系列FPGA器件提供了额外的布线资源，称作VersaRing，方便了引脚约束和引脚改变，可以在不改变PCB版图情况下，通过更改逻辑设计去兼容现有PCB。所以，在进行逻辑设计的同时，就可生产PCB和别的系统部件，这样就减小了上市时间。

专用布线资源

为了达到更高的性能，针对一些信号设计了专用布线资源。在BQV系列FPGA结构中，为两种形式的信号设计了专用布线资源。

片上三态总线是一种水平布线资源。每个CLB行提供四条三态总线，如图 8 所示。

垂直方向的进位传输线，每个CLB 有两条专用连线，专门用来向垂直相邻的CLB传输进位信号。

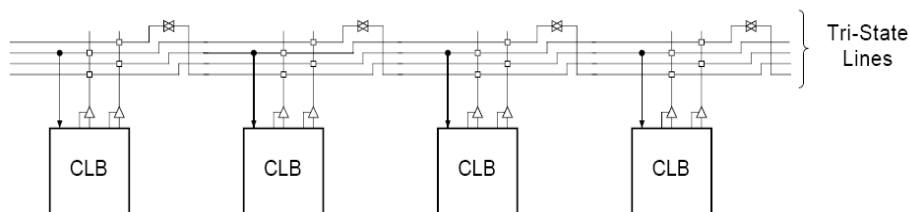


图8 BUFT与专用水平三态总线

全局布线资源

全局布线资源，主要是传播时钟和其它高扇出的信号。BQV系列FPGA器件包括两组全局布线资源，分别为一级全局布线资源和二级局部时钟布线资源。

一级全局布线资源是四个专用的全局网络，带有4个专用的高扇出时钟信号输入引脚，这四个引脚具有最小的传播偏移。每个全局时钟网络都可驱动所有的CLB、IOB和block SelectRAM 引脚。一级全局网络只能由全局buffer驱动。共有四个全局buffer，每个全局网络一个。

二级局部时钟布线资源包括24条backbone line，12条分布在芯片顶部，12条分布在芯

片底部。每列有12条长线可对应连接到这12条backbone line。这些二级布线资源比一级布线资源更灵活，因为它们不只用来传输时钟，还可以被用作通用布线资源。

时钟分布

BQV系列FPGA 通过上述的一级全局布线资源提供高速、低偏移的时钟分布网络，这个网络驱动所有时钟输入端。图 9 是一个典型的时钟分布网络。四个全局buffer，两个在器件的顶部中间位置，两个在底部中间位置。它们驱动四个一级全局网络；四个专用时钟pad，分别与每个全局buffer相连。而全局buffer的输入端可以是这些专用的时钟pad也可以是通用布线上的信号。

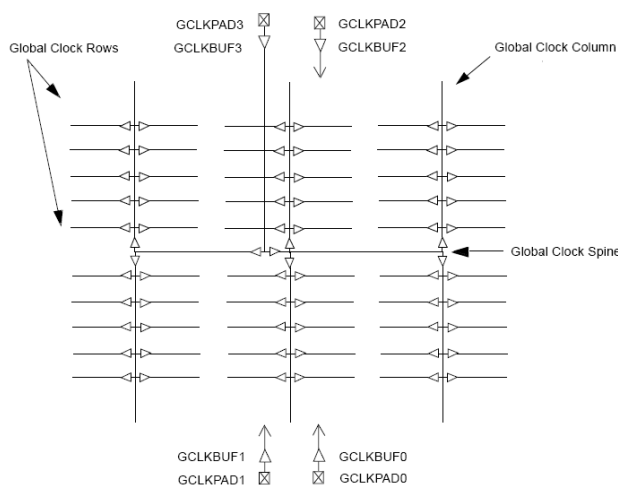


图9 全局时钟布线网络

延迟锁相环 (DLL)

四个数字延迟锁相环 (DLL) 分别与每个全局时钟输入buffer相连，它可消除整个器件上时钟输入pad和内部时钟输入端之间的偏移。每个DLL可驱动两个全局时钟网络。DLL 监控输入时钟和分布时钟，并自动调节时钟延迟单元。在时钟沿在到达输入端之后，将时钟延迟一到四个时钟周期，送达内部触发器。这种闭环系统，通过调整内部触发器的时钟边沿与到达输入端的时钟边沿，使二者同步，从而有效地消除了时钟的分布延迟。

除了消除时钟分布延迟，DLL还提供高级的多时钟域控制。DLL 提供对源时钟相位的四种积分，可以对时钟进行倍频，或者进行1.5, 2, 2.5, 3, 4, 5, 8, 16 倍的分频。

DLL 还可作为时钟的镜像来使用。DLL的强驱动输出后，再返回芯片，可以被用于多个BQV系列FPGA 器件之间，板级时钟的去偏移。

为了保证FPGA配置之后，整个芯片启动之前这段时间内，系统时钟能正常工作，DLL还可以实现推迟启动的功能，等DLL达到锁定状态以后，整个芯片才正常启动。

6.2 边界扫描

BQV系列FPGA 器件支持IEEE标准1149.1 定义的所有强制性的边界扫描指令。提供了一条测试存取通道 (TAP) 和一些寄存器, 用来执行EXTEST, INTEST, SAMPLE/PRELOAD, BYPASS, IDCODE, USERCODE, 和HIGHZ 指令。TAP还支持两个内部扫描链和器件的配置与回读。

TAP有专用的封装引脚, 通常采用LVTTTL协议工作。TDO采用LVTTTL协议工作时, Bank2的VCC0 电压为3.3V。边界扫描操作独立于单个IOB配置, 不受封装类型的影响。所有的IOB, 包括没有封装出来的PAD, 都可以被当作扫描链中的一个独立的三态双向引脚。所有PAD在配置后保持双向测试能力, 这样测试外部互连就变得非常简单。

表8 列出了BQV系列FPGA支持的边界扫描指令。在执行EXTEST时, 内部信号可以连接到未绑定的或未使用的IOB, 通过这种方式就可以捕捉到这些信号。当然也可以将内部信号连接到被定义为单向输入的引脚, 这些引脚的输出端未被使用。

表8 边界扫描说明

边界扫描指令	二进制代码(4:0)	说明
EXTEST	00000	使能 boundary-scan EXTEST 操作
SAMPLE/PRELOAD	00001	使能boundary-scan SAMPLE/PRELOAD 操作
USER 1	00010	访问 user-defined register 1
USER 2	00011	访问 user-defined register 2
CFG_OUT	00100	访问读操作配置总线.
CFG_IN	00101	访问写操作配置总线
INTEST	00111	使能 boundary-scan INTEST 操作
USERCODE	01000	使能 shifting out USER code
IDCODE	01001	使能 shifting out of ID Code
HIGHZ	01010	当使能旁路寄存器时, 将输出引脚置为3态
JSTART	01100	当启动时钟为TCK时, 驱动启动时序
BYPASS	11111	使能旁路寄存器
RESERVED	All other codes	保留指令

对器件进行配置前, 除了USER1和USER2 , 余下指令都有效。配置后, 所有指令都有效。配置过程中, 不建议执行边界扫描寄存器的指令 (SAMPLE/PRELOAD, INTEST, EXTEST) 。

除了上边列出的测试指令, 边界扫描电路也可以用来配置FPGA, 还可以回读配置数据。

图10 是BQV串行边界扫描逻辑的示意图。它包括3bit的数据寄存器 (每个IOB)、TAP 控制器和带解码器的指令寄存器。

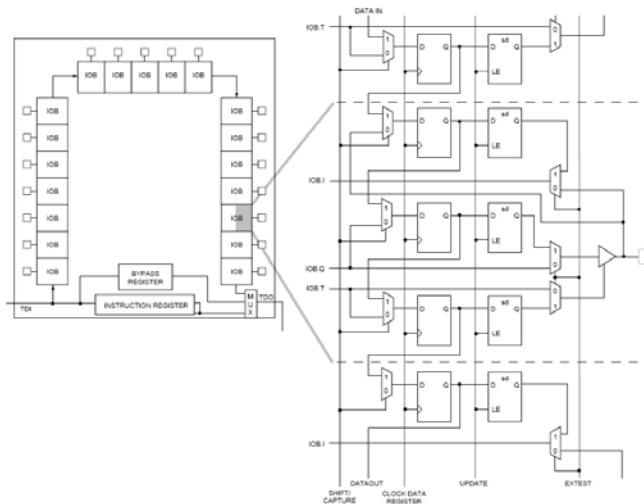


图10 BQV系列FPGA 边界扫描逻辑

指令集

BQV系列FPGA 串行边界扫描指令集还包括对器件进行配置和回读配置数据的指令 (CFG_IN, CFG_OUT, and JSTART) ，完整的指令集的编码列在表8 中。

数据寄存器

主数据寄存器是边界扫描寄存器。FPGA中的每个IOB引脚，不论是引出的还是没有被引出的，都包括3-bit的控制位，分别对应In、Out和3-State。只能用作输入或输出IOB引脚，控制bit的数量有相应变化。每个EXTEST CAPTURED-OR 状态可以捕捉所有的In, Out, 和 3-state 引脚。

其它的标准数据寄存器是一个带BYPASS命令的寄存器。数据同步传输到FPGA下游的边界扫描器件。

BQV系列FPGA通过使用BSCAN宏命令，最多可支持两个附加的内部扫描链。这个宏提供两个用户引脚 (SEL1 and SEL2) ，它们分别是USER1 和USER2 指令的解码。对这些指令，两个对应的引脚 (TDO1 和TDO2) 允许用户对移出TDO的数据进行扫描。同样地，每个用户寄存器还有单独的时钟引脚 (DRCK1 和DRCK2)。有一个普通输入引脚 (TDI) 和能表示TAP控制器状态 (RESET, SHIFT, 和UPDATE) 的共用输出引脚。

位顺序

每个IOB中的位顺序为：In, Out, 3-State 。只作为输入的引脚，只能把In对应的bit 提供给边界扫I/O 数据寄存器；而只作为输出的引脚，就必须提供三个bit。从上部右侧引脚开始，边界扫描数据寄存器的bit按图 11 所示的顺序排列。

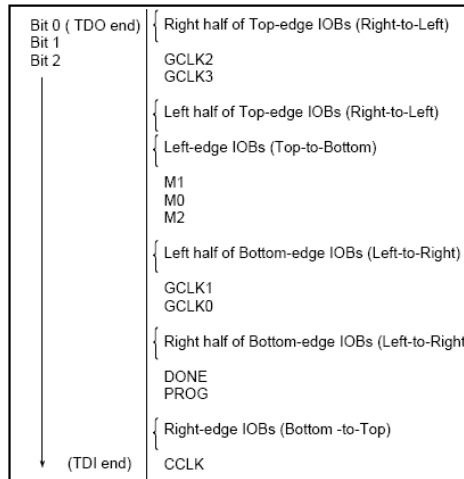


图11 边界扫描位序

标识寄存器

BQV系列FPGA器件还支持IDCODE标识寄存器。通过回读IDCODE，可确定连接到JTAG链路上器件信息，对应关系如表9。IDCODE寄存器内容是二进制格式：
vvvv:ffff:fffa:aaaa:aaaa:cccc:cccc:ccc1

v = 晶圆版本号

f = FPGA的系列编码 (BQV系列FPGA对应03h)

a = CLB 的行数

c = 公司编码(北京微电子技术研究所采用49h)

BQV系列FPGA器件还支持USERCODE寄存器。用户可以将某一个程序的ID code下载或移出USERCODE寄存器以便检验。ID code 在码流生成时嵌入码流内部，并且只在配置后生效。

表9 BQV系列FPGA的IDCODEs

FPGA	IDCODE
BQV300	v0620093h
BQV600	v0630093h

在设计中使用边界扫描

除内部数据寄存器 (USER1或USER2) 外，边界扫描引脚是专用的，不需要增加特殊的单元。如果需要使用内部数据寄存器，就要插入边界扫描符号，并适当地连接所需引脚。

6.3 开发系统

BQV系列FPGA与Xilinx公司XQV系列FPGA完全兼容的军品级FPGA产品。BQV系列FPGA在电路结构、各项电参数指标(包括内部延迟)、设计流程以及开发工具等各方面都与XQV系列FPGA完全一致。相同的代码在BQV系列FPGA和XQV系列FPGA上能够产生相同的电路结构，开发工具选择器件时可直接选择XQV系列FPGA，产生的各种配置文件都能直接应用到BQV系列FPGA上，

并且由于内部延迟的一致性，XQV系列FPGA的后仿真结果也能够直接应用到BQV系列FPGA上。

下面首先介绍BQV系列FPGA的设计流程，该流程即Xilinx公司的FPGA设计流程，在设计流程的基础上，针对每个具体步骤，全面介绍相关的开发工具。

BQV系列FPGA设计流程

BQV系列FPGA与Xilinx公司的XQV系列FPGA完全兼容，因此，在实现过程中可以照搬Xilinx公司的全部流程和软件工具，在软件中选择器件时直接选择XQV系列FPGA。BQV系列FPGA的设计流程包括电路设计与输入、功能仿真、综合、综合后仿真、实现、布线后仿真与验证和下板调试等主要步骤。

如图12，开发流程的第一个步骤是设计输入，可以采用HDL代码输入、原理图输入、波形激励输入、状态机输入。

设计输入完成后，进行第二个步骤，通过专用的仿真工具对设计进行功能仿真，验证电路功能是否符合设计需要。

功能正确则进入第三个步骤，综合优化。综合优化是指将HDL语言、原理图等设计输入翻译成由与、或、非门、RAM、触发器等基本逻辑单元组成的逻辑连接，并根据约束条件对逻辑连接进行优化。

综合优化后需要进行检查综合结果是否与原设计一致，需要进行第四个步骤——综合后仿真。在仿真时把综合生成的延时文件反标到综合仿真模型中，估计门延时带来的影响。综合后仿真虽然比功能仿真精确一些，但是只能估计门延时，而不能估计线延时，仿真结果与布线后的实际情况还有一定的差距，并不十分准确，而且若是设计中包含任何形式的硬宏模块或者IP模块则不能进行综合后仿真。因此，设计流程中可不进行综合后仿真。

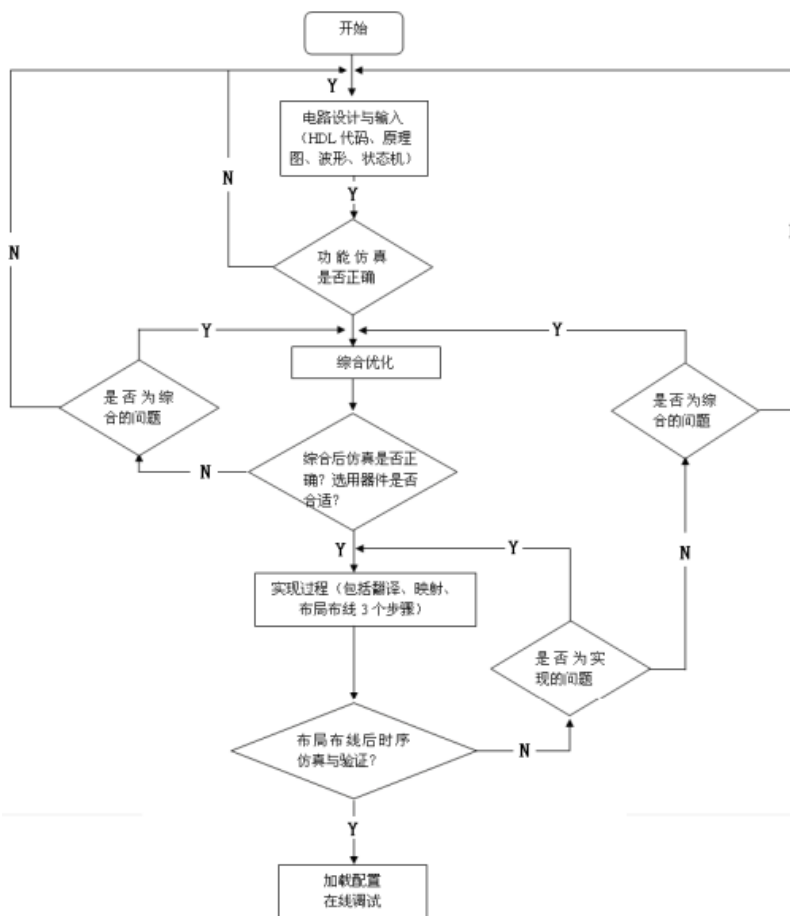


图12 设计开发流程

第五个步骤是实现，将综合后输出的逻辑网表适配到具体FPGA器件上的过程叫做实现。Xilinx的实现过程可分为翻译、映射和布局布线等3个子步骤。由于BQV系列FPGA是兼容Xilinx公司的FPGA产品，在实现环节上必须采用Xilinx公司的开发软件。

完成布局布线后，应进行第六个步骤，布线后仿真与验证。与之前的功能仿真和综合后仿真相比，布线后的仿真包含了最为全面和准确的时序信息，能比较好的反映芯片的实际工作情况。为了保证设计的可靠性，可以在布线后仿真完成后采取静态时序分析和在线逻辑分析等验证手段，甚至可以采用第三方的板级验证工具进行仿真和验证。对于一般的逻辑设计，可以忽略复杂的验证手段，但是布线后的仿真是必须进行的。

第七个步骤是加载配置和在线调试，将生成的配置文件写入芯片中进行测试。

以上七个步骤是一个互相叠代的过程，任何一个环节出现错误都需要根据错误的定位回到相应的步骤进行更改或者重新设计。

BQV系列FPGA开发软件

BQV系列FPGA的开发工具可以分为两大类，一类是Xilinx公司提供的软件工具，另一类是其他EDA厂商提供的软件工具，后者统称为第三方工具，ISE集成了与这些软件的友好接口，

可以在ISE中直接调用这些工具。表10分别列出了支持BQV系列FPGA的Xilinx公司提供的工具集，以及支持BQV系列FPGA的各种第三方软件。

根据设计流程与功能划分，BQV系列FPGA的开发软件主要分为设计输入工具、综合工具、仿真工具、实现工具和辅助设计工具等5类。

设计输入工具

设计输入是工程设计的第一步，设计工具主要包括HDL编辑器、状态机编辑器、原理图编辑器、IP核生成器和测试激励生成器等。

HDL编辑器可以完成设计电路的HDL语言输入。它能根据语法来彩色显示关键字。支持VHDL、ABEL和Verilog HDL的输入。

状态机编辑器采用状态转移图设计状态机。设计者只需要画出状态转移图，状态机编辑器就能自动生成相应的VHDL、ABEL或Verilog HDL语言模型，并且状态机编辑器能生成状态转移的测试激励文件，验证寄存器传输级模型，优化并分析状态机设计结果。

原理图编辑器用于完成电路的原理图输入。它功能强大，元件库齐全，设计方便。原理图编辑器在层次化设计中起到了十分重要的作用，从最顶层的逻辑关系，到最底层的器件连接，都能通过原理图输入的方式进行设计。

IP核生成器提供了大量Xilinx和第三方公司设计的成熟、高效IP核。IP核生成器可生成的IP核功能繁多，从简单的基本设计模块到复杂的处理器等一应俱全，分为基本模块、通信与网络模块、数字信号处理模块、数学功能模块、存储器模块、微处理器、控制器件与外设模块、标准与协议设计模块、语音处理模块、标准总线模块、视频和图象处理模块等11大功能模块。

测试激励生成器辅助用户设计测试激励文件。它将VHDL源代码、Verilog源代码和原理图等设计输入导入其测试环境，根据用户在图形界面下编辑的激励波形，直接生成测试激励文件，然后调用ISE中集成的仿真工具进行仿真验证，并分析测试激励的覆盖率。

表10 BQV系列FPGA支持的软件列表

BQV系列FPGA支持的软件列表	软件名称
Xilinx提供的软件工具	ISE Foundation
	ISE WebPack
	ISE 3. xi
	ISE 4. xi
	ISE 5. xi
	ISE 6. xi
	ISE 7. xi
	ISE 8. xi
	ISE 9. xi
	ISE 10. xi

第三方软件工具	XST
	ISE Simulator
	Xpower
	ChipScope Pro
	Core Generator
	Synplify Pro
	FPGA Express/FPGA Compiler
	LeonardoSpectrum
	Active HDL
	ModelSim
VCS	
NC-Sim	

综合工具

BQV系列FPGA支持综合工具主要有Synplicity公司的Synplify/Synplify Pro, Synopsys公司的FPGA Compiler II/Express, Exemplar Logic公司的LeonardoSpectrum和Xilinx ISE中的XST等。

Synplify/Synplify Pro作为新兴的综合工具，在综合策略和优化手段上有较大幅度的提高，特别是其先进的时序驱动和行为级综合提取技术算法引擎，使其综合结果往往面积最小、速度较快。如果结合Synplicity公司的Amplify物理约束功能，对很多设计能大幅度减少资源消耗，优化面积达到30%以上。

Synopsys公司作为较早与Xilinx合作的EDA软件公司，对Xilinx器件内部结构比较了解。在Xilinx较早版本的集成开发环境Foundation系列软件中，FPGA Express是唯一集成的综合工具。FPGA Express的综合结果比较忠实于原设计，其升级版本FPGA Compiler II是最好的ASIC/FPGA设计工具之一。需要指出的是ISE 5系列不再直接集成FPGA Express综合工具，如果需要使用Synopsys的FPGA Express/Compiler II系列综合工具，需要使用ISE 4等早期软件版本，在FPGA Express/Compiler II系列综合工具中完成综合，导出EDIF网表，在ISE中使用EDIF流程对设计进行布局布线。

XST是Xilinx自主开发的综合工具。XST对芯片内部结构最为了解，所以XST的一些优化策略是其他综合工具无法比拟的。在涉及芯片底层逻辑结构的设计中，XST的综合结果甚至要比其他综合工具优越很多。

仿真工具

BQV系列FPGA支持的仿真工具主要有Model Tech公司的Modelsim以及Xilinx公司的ISE Simulator。

ModelSim可以说是业界最流行的仿真工具之一。其主要特点是仿真速度快，仿真精度高。Modelsim支持VHDL、Verilog HDL以及VHDL和Verilog HDL的混合编程仿真。Modelsim具有工

作站和PC版两种，其PC版的仿真速度也很快，甚至和 workstation 版本不相上下。

ISE Simulator是Xilinx公司自主研发的仿真工具，因此，ISE Simulator拥有最为精确的内部开关参数，后仿真结果十分准确。

实现工具

ISE集成的实现工具主要有约束编辑器（Constraints Editor）、引脚与区域约束编辑器（PACE）、时序分析器（Timing Analyzer）、FPGA底层编辑器（FPGA Editor）、芯片观察窗（Chip Viewer）和布局规划器（Floorplanner）等。

约束编辑器是帮助工程师设计用户约束文件（.ucf）的工具。用户约束文件是指导实现过程的约束文件。它与指导综合过程的约束文件既有区别又有联系。约束文件包含时钟属性、延时特性、管脚位置、寄存器分组、布局布线要求和特殊属性等信息，这些信息指导实现过程，是由用户设计的决定电路实现的目标与标准。调用Constraints Editor的方法有两种：一是在Windows系统中选择【开始】/【程序】/【Xilinx ISE】/【Accessories】/【Constraints Editor】命令；二是在ISE工程管理器（Project Navigator）界面下打开操作流程调用Constraints Editor。完成翻译网表（Translate）后调用Constraints Editor可以充分显示综合网表中的时钟路径和关键路径等信息。

引脚与区域约束编辑器（PACE, Pin out and Area Constraints Editor）可以直接将信号指定到I/O管脚，方便地拉出测试信号，对设计进行面积约束，自动生成用户约束文件，是约束编辑器的有益补充。

时序分析器是分析实现结果是否满足约束条件、芯片的工作速率以及关键路径等延时信息的工具。能方便地将实现过程生成的各种时延报告分类显示，并对比约束文件，分析是否满足时序要求。

芯片观察窗给用户提供一个图形界面观察适配前（Pre-fitting）和适配后（Post-fitting）的输入输出、管脚锁定、宏单元结构等信息。适配前信息来源于.ngd文件，适配后信息来源于.vm6文件。

FPGA底层编辑器读取FPGA的布线信息（.ncd）文件，用图形化界面显示FPGA内部的CLB和IOB模块结构，根据用户的设置与修改生成物理约束文件（.pcf）。使用FPGA Editor可以完成如下功能：在自动布线前，手工布置关键路径，提高电路工作频率；帮助布线器完成自动布线难以实现的路径；在FPGA内部的任何一个节点设置探针，拉出待测信号到IO端口，这种方法显然要比在HDL源代码中逐层用语言描述，将待测信号到IO端口的的方法更灵活；改变内部在线逻辑分析仪（ILA）的连线和配置；FPGA Editor的高级用户甚至可以手动添加和连接一个个内部元件（CLB、IOB）以完成电路设计与实现。

布局规划器与FPGA Editor相似，也能改变FPGA内部的CLB和IOB的连接配置情况。通过交互图形界面，用户可以观察到FPGA内的连接情况，并且手动进行物理位置约束。它比FPGA

Editor更灵活，可以在实现过程的映射（Mapping）前、映射后、布局布线（Place&Route）等不同阶段约束设计，发挥功能。它可以导入NGD、NCD、FNF和UCF等格式的文件，根据用户需要，生成UCF和MFP等约束关系。对Floorplanner善加利用，可以有效提高设计的工作效率。

辅助设计工具

BQV系列FPGA还支持许多辅助设计工具，主要工具如下：

PROM配置文件分割器（PROM File Formatter）可以完成配置文件的分割。有时芯片的配置文件（.bit 文件）要下载到外置存储器中（一般为EEPROM），使系统在掉电后配置文件也不会丢失，当芯片加电后，自动从存储器中加载配置文件，重新配置芯片内部结构，开始工作。PROM配置文件分割器的主要功能有3个：一是将配置文件转换成外置存储器能识别的格式；二是当FPGA/CPLD菊花链连接时，将不同应用的配置文件组合起来并重新分割；三是将多个FPGA配置文件转换到一个PROM配置文件中。PROM配置文件分割器支持的输入文件格式有4种：Intel MCS-86文件格式（扩展名为.mcs）、Tektronix TEKHEX文件格式（扩展名为.tek）、Motorola EXORmacs文件格式（扩展名为.exo）和HEX文件格式（扩展名为.hex）。ISE5以后的ISE版本中将该工具集成到iMPACT中，使FPGA配置文件的分割和下载更符合用户的操作习惯。

iMPACT配置器可以实现将配置文件下载到FPGA/CPLD或相应的存储器等功能。它的主要功能是下载、回读与校验配置数据，调试配置过程中出现的问题，生成SVF和STAPL文件。ISE中iMPACT与Foundation系列较低版本的配置器相比有了很大的改进与提高，它的边界扫描、芯片检查、下载功能越来越完善。

功耗仿真器（XPower）是估计设计功耗的工具。当整个设计实现过程完成后，调用功耗仿真器。功耗仿真器可以根据设计所使用的门的数量，驱动电压、电流的大小，环境温度等估算芯片的结温、静态功耗、逻辑模块功耗、时钟功耗、输出功耗和总功耗等信息，帮助PCB系统设计人员设计系统。功耗仿真器可以分析BQV系列FPGA在各种输入激励下的功耗。

在线逻辑分析仪（ChipScope Pro）是Xilinx与Agilent合作开发的针对Xilinx Virtex-2 Pro/Virtex/Virtex-2/Virtex-E/Virtex-EM/ Spartan-2E/Spartan-2E 系列FPGA的在线片内信号分析工具，它的主要功能是通过JTAG口，在线、实时地读出FPGA的内部信号。ChipScope Pro的基本原理根据用户设定的触发条件将信号实时地保存到FPGA中未使用到的块RAM中，然后通过JTAG口将信号传送到计算机，并在计算机屏幕上显示出时序波形。

6.4 芯片配置

BQV系列FPGA通过配置引脚，下载配置数据到内部配置存储器完成配置。除专用配置引脚外，其它配置引脚在配置完成之后可被重新用作普通输入和输出引脚。

下列为专用配置引脚：

- 模式选择引脚（M2, M1, M0）

- 配置时钟引脚 (CCLK)
- PROGRAM 引脚
- DONE 引脚
- 边界扫描引脚(TDI, TDO, TMS, TCK)

根据选定的配置模式，CCLK可以由FPGA输出，也可由外部产生并作为输入提供给FPGA。由于一些配置引脚可以作为输出，所以可以需求一个3.3 V的VCCO电压来实现LVTTTL操作。这些引脚都在bank 2或3中。

BQV系列FPGA器件配置后，未使用的IOB会作为带弱下拉的三态输出。

BQV系列FPGA 支持下列四种配置模式：

- Slave-serial mode
- Master-serial mode
- SelectMAP mode
- Boundary-scan mode

通过配置模式引脚(M2, M1, M0)能够选择不同的配置模式。配置模式的不同，配置过程中IOB的引脚可以是上拉或者是浮空，表11是配置模式引脚(M2, M1, M0)与配置模式的关系。通过边界扫描进行配置时，可以不考虑配置模式，因为选择边界扫描模式会自动将其它模式关闭。虽然这三个配置模式引脚内部有上拉电阻，缺省值为逻辑高，但还是，建议在外部对这些配置引脚增加驱动。

表 11 配置模式与配置模式引脚(M2, M1, M0)的关系

配置模式	M2	M1	M0	CCLK 说明	数宽	串行Dout	上拉
Master-serial mode	0	0	0	Out	1	Yes	No
Boundary-scan mode	1	0	1	N/A	1	No	No
SelectMAP mode	1	1	0	In	8	No	No
Slave-serial mode	1	1	1	In	1	Yes	No
Master-serial mode	1	0	0	Out	1	Yes	Yes
Boundary-scan mode	0	0	1	N/A	1	No	Yes
SelectMAP mode	0	1	0	In	8	No	Yes
Slave-serial mode	0	1	1	In	1	Yes	Yes

Slave-Serial Mode

在slave-serial 模式下,FPGA从串行PROM或其它串行配置数据源以串行1-bit形式获取配置数据。输入到DIN的配置码流信号，必须在外部产生的CCLK信号的上升沿到来之前，一小段时间内完成信号的建立。

将多个FPGA以菊花链的形式连接，可以实现一个源对多个FPGA的配置。完成前一个FPGA

配置之后，下一个器件的配置数据从这个FPGA的DOUT引脚输出。DOUT引脚上的数据在CCLK的上升沿变化。这不同于以前的系列，但不会对不同系列FPGA的混合配置链，产生问题。

这种变化是为了提高单BQV系列FPGA 链的配置速率。图13是一个典型的菊花链系统。两个BQV器件第一个FPGA器件是master-serial mode，第二个是slave-serial mode。

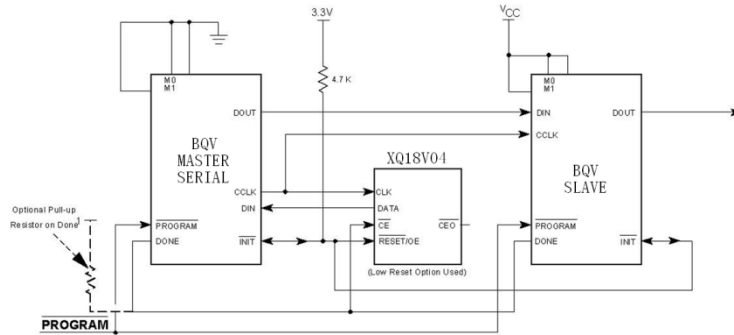


图13 主/从串行模式电路

模式引脚(M2, M1, M0) 为<111> or <011>对应的FPGA的配置模式是Slave-serial 模式。如果模式引脚未被连接，这些引脚上都有一个弱上拉，则FPGA的配置的缺省模式为slave-serial。使用中，建议在外部驱动这些配置模式引脚。图 14 是slave-serial 模式的配置时序转换特性。表12提供了图 14 所示时序特征更多的细节。注意：菊花链配置时，链中所有FPGA的INIT 引脚为高电平之后配置才能开始。

表12 Master/Slave Serial 模式设计

	说明	符号	值	单位
CCLK	DIN setup/hold, slave mode	TDCC/TCCD	5.0 / 0	ns, min
	DIN setup/hold, master mode	TDSCK/TCKDS	5.0 / 0	ns, min
	DOUT	TCCO	12.0	ns, max
	High time	TCCH	5.0	ns, min
	Low time 5	TCCL	5.0	ns, min
	Maximum Frequency	FCC	66	MHz, max
	Frequency Tolerance, master mode with respect to nominal			+45% - 30%

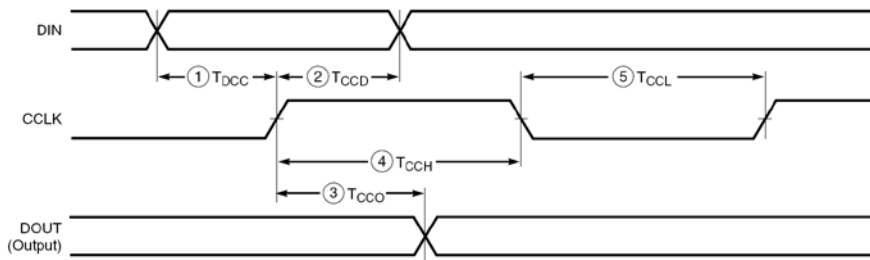


图14 从-串模式配置时序

Master-Serial Mode

在master-serial模式中,FPGA 输出一个CCLK时钟,这个时钟驱动一个适当的串行PROM ,这个PROM 将数据按照1bit-串行模式加载到DIN输入端。FPGA在每个CCLK上升沿接收这些数据。FPGA配置完成后,菊花链中下一个FPGA器件所需的数据,在CCLK上升沿到来之后,输出到DOUT引脚。这种配置模式除了配置时钟(CCLK)来自FPGA器件内的震荡器之外,其它接口与slave-serial 模式的相同。

CCLK 可选的频率范围很宽,通常从一个缺省的低频率启动。然后,通过配置位把CCLK 转换到一个更高的频率进行后续的配置。一般不建议转换到更低的频率。

CCLK 频率可以通过码流生成软件中的ConfigRate 选项进行设置。CCLK 频率最高可设置为60 MHz 。注意,选择CCLK 频率时,要确保串行PROM和菊花链中的每个FPGA都能承受这个时钟速率。

上电时,CCLK频率为2.5 MHz。FPGA一直使用这个频率进行数据加载,当ConfigRate对应的配置寄存器被赋值以后,配置频率转换到选定的ConfigRate。如果没有指定配置频率,这个频率的缺省值是4MHz。

图13是一个典型的菊花链系统,这个系统中,左边第一个FPGA器件工作在master-serial 模式下,第二个FPGA器件工作在slave-serial模式下。串行PROM的RESET引脚被FPGA的INIT 信号驱动,CE输入端被FPGA的DONE信号驱动。相应地,可以通过选择配置选项,避免DONE 引脚上出现“竞争”。

图 15 是master-serial 模式的配置时序图。模式引脚(M2, M1, M0) 上赋值<000> or <100> 对应的配置是Master-serial 模式。表12 是图15 详细的时序信息。

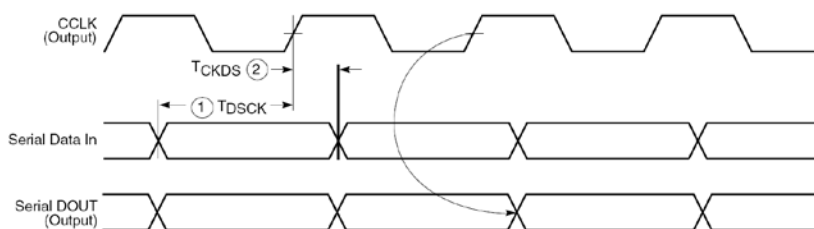


图15 Master-Serial Mode 配置时序

上电时,VCC必须在50 ms 之内从1.0 V 上升到最低需求的VCC,否则必须通过将PROGRAM 信号拉低延迟配置,直到VCC有效。连续配置BQV系列FPGA必需按照图16进行操作。

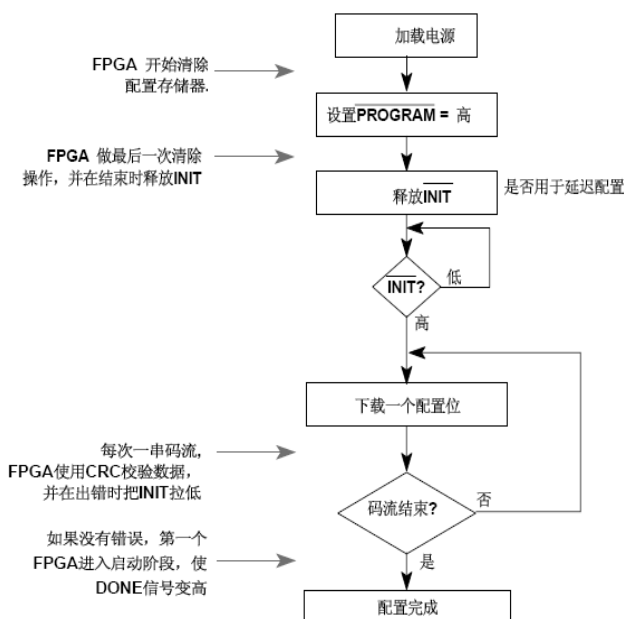


图16 FPGA连续配置流程图

SelectMAP Mode

SelectMAP 模式是FPGA最快配置模式。配置数据按照一个字节宽度，被写进FPGA。

外部数据源提供一个字节宽度的数据流、CCLK、片选信号(CS) 和一个写信号(WRITE)。如果BUSY信号被FPGA置位为高，数据就必须保持，直到BUSY信号变低。

SelectMAP 模式还可以读取配置数据。若WRITE 没被置位，作为回读操作的一部分，配置数据可以从FPGA中读出。

SelectMAP 模式下，可以采用并连的方式级连多个BQV系列FPGA器件。数据引脚(D7:D0)，CCLK，WRITE，BUSY，PROGRAM，DONE，和INIT 采用并连的方式进行连接。数据的格式是：D0是每个字节的低位，D7是每个字节的高位。CS引脚必须单独分开，以保证每个FPGA可以被单独选中。WRITE信号从加载第一个码流之前变为低，并在最后一个器件配置完成之后变为高。通过把它CS引脚设为低，选择合适的FPGA加载码流，在码流的最后，取消选中的已加载过码流的器件并选中下一个目标FPGA。CCLK信号可以是自激振荡器产生或其它外部芯片产生。在频率低于50MHz时，可忽略BUSY信号。所有FPGA器件配置完毕后，DONE引脚变为高。

配置后，SelectMAP 端口引脚可用作普通的用户I/O。也可以保留这个端口以便进行高速8-bit回读。产生码流时，根据design-by-design原理，是否保留SelectMAP 端口是可选择的。如果选择保留这些端口，就需要选择PROHIBIT限制，以避免SelectMAP 端口被用作用户I/O。

Select-MAP 模式可以对多个BQV系列FPGA进行配置，还可使它们同时启动。用这种方法配置多个器件，要将所有器件的CCLK，Data，WRITE，和BUSY 引脚并连在一起。这些单独的

器件通过依次置位每个器件的CS引脚并写入适当的数据进行配置。参见表13的SelectMAP 写操作的时序特性。

表13 SelectMAP 写操作特性

	Description		Symbol		Units
CCLK	D ₀₋₇ Setup/Hold	1/2	T _{SMDCO} /T _{SMCCD}	5.0 / 1.7	ns, min
	\overline{CS} Setup/Hold	3/4	T _{SMCSO} /T _{SMCCS}	7.0 / 1.7	ns, min
	\overline{WRITE} Setup/Hold	5/6	T _{SMCCW} /T _{SMWCC}	7.0 / 1.7	ns, min
	BUSY Propagation Delay	7	T _{SMCKBY}	12.0	ns, max
	Maximum Frequency		F _{CC}	66	MHz, max
	Maximum Frequency with no handshake		F _{CCNH}	50	MHz, max

Write

写操作发送配置数据包到FPGA。多周期写操作的操作序列说明如下。注意，一个配置数据包可以分为多个这样的序列。这个数据包可以不在CS的一次置位内完成，如图17所示。

1. WRITE和CS置位为低。注意当CS在CCLK之后置位时，WRITE必须保持置位或复位状态。否则将会产生一个中断，如下所述。

2. 数据输出到D[7:0]。注意，要避免竞争，数据源在CS为低且WRITE为高时不能被使能。类似地，当WRITE为高时，CS就不需要再被置位。

3. 在CCLK的上升沿：如果BUSY为低，就在这个时钟内接收数据。如果BUSY为高（来自前一次写操作），则不接收数据。BUSY变为低之后的第一个时钟内接收数据，所以数据必须一直保持，。

4. 重复步骤2和3，直到所有的数据都传送完毕。

5. 取消对CS 和 WRITE 的置位。

图18列出了写操作的流程图。注意，如果CCLK小于50MHz，FPGA 永远不会置位BUSY。这种情况下，上边的握手操作就没意义，并且数据可以在每个CCLK 周期内很容易地下载进FPGA 。

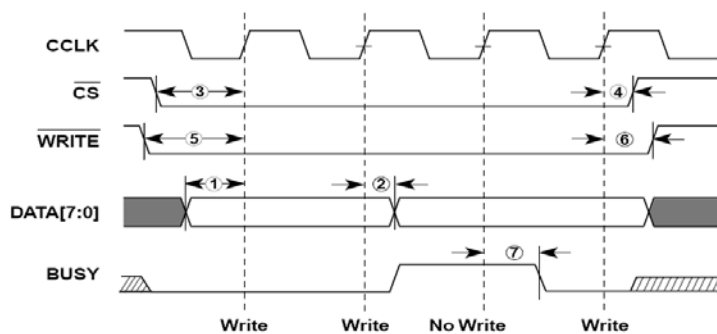


图17 写操作时序

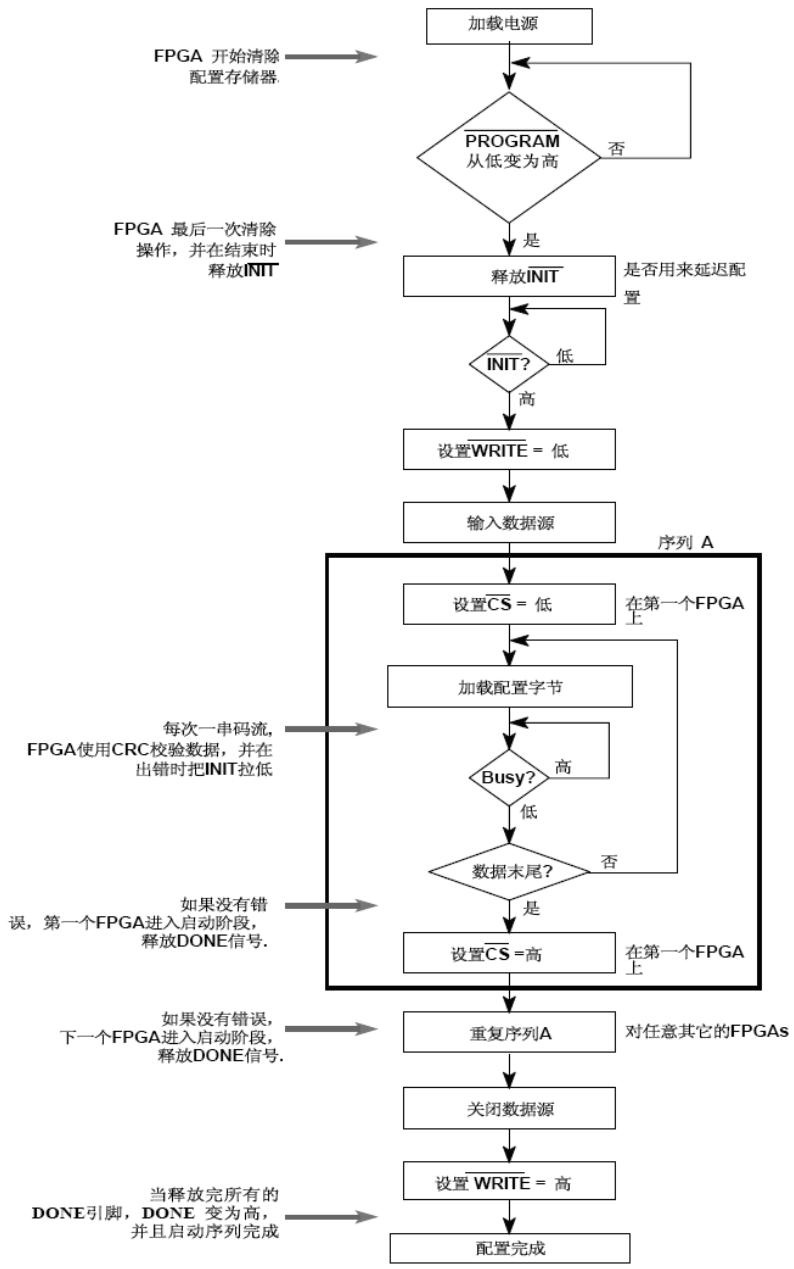


图18 SelectMAP 模式下写操作的流程图

中止

当CS信号有效时，用户不能从写状态转换到读状态，或者反过来操作。这样会引起FPGA器件的中止。中止的操作完成前，器件将保持在BUSY状态。FPGA器件中止后，必须给FPGA器件重新加载同步字，才能接受新的数据包。

要在写操作过程中插入一次中止，取消WRITE的置位即可。如图 19 所示，在CCLK 的上升沿，启动了一次中止。

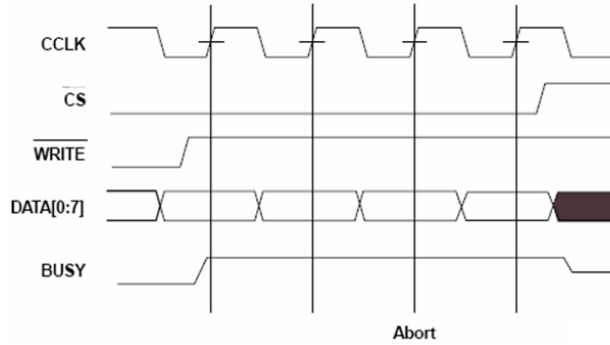


图19 SelectMAP 写中断波形

Boundary-Scan Mode—边界扫描模式

在boundary-scan模式中，通过IEEE 1149.1 测试存取通道进行配置。注意PROGRAM 引脚必须在配置前拉到高。

PROGRAM 引脚上的一个低信号会对TAP控制器进行复位，JTAG操作必须重新开始。

通过TAP配置，必须使用CFG_IN指令。这条指令允许TDI上的数据输入转换为内部配置总线使用的数据包。通过边界扫描通道对FPGA进行配置，需要进行下列步骤（使用TCK作为启动时钟）。

1. 加载CFG_IN 指令到边界扫描指令寄存器(IR) 中
2. 进入Shift-DR (SDR) 状态
3. 把一串配置码流移入TDI
4. 返回到Run-Test-Idle (RTI)
5. 加载JSTART 指令到IR
6. 进入SDR状态
7. Clock TCK 通过启动序列
8. 返回到RTI

JTAG具有最高权限，通过TAP进行配置和回读总是有效的。也可通过在模式引脚(M2, M1, M0) 赋值<101> or <001> ，选择边界扫描模式。

配置次序

器件的配置过程有三个阶段。首先，清除配置存储器。下一步，把配置数据加载到存储器中。最后，通过一个启动过程激活FPGA。

上电后FPGA会自动进入配置状态，除非用户故意延迟，如下所述。还可通过置位PROGRAM 启动配置过程。INIT变为高时，预示着存储器清除阶段结束，同样DONE变为高时预示着整个过程的完成。配置信号的上电时序如图20所示。相应的时序特性列于表14 。

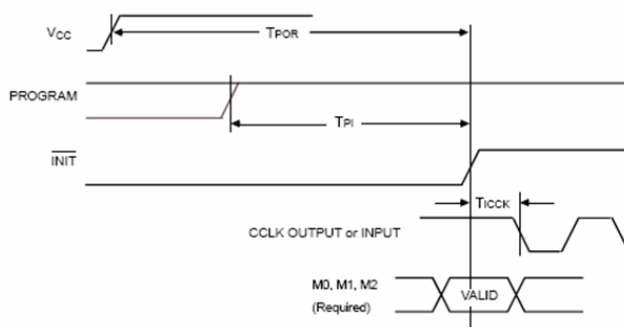


图20 Power-Up 时序配置信号

表14 Power-up 时序特性表

说明	符号	值	单位
Power-on Reset	TPOR	6.0	ms, max
Program Latency	TPL	100.0	μ s, max
CCLK (output) Delay	TICCK	0.5	μ s, min
		4.0	μ s, max
Program Pulse Width	TPROGRAM	300	ns, min

延迟配置

INIT为双向开漏引脚，它在清除配置存储器时保持在低电平。可以使用一个外部驱动器使INIT保持为低的时间延长，这样配置序列进入等待状态。于是，FPGA不能进入加载数据的阶段，从而延迟了配置。

启动序列

缺省的启动序列为，DONE变高之后的一个CCLK周期内，释放全局三态信号(GTS)，器件的输出端被释放。一个CCLK周期后，全局Set/Reset(GSR)和全局写使能(GWE)信号被释放掉。这使得内部存储单元的状态，会根据逻辑和用户时钟开始改变。这些信号释放的相对顺序可以改变。另外，GTS，GSR，和GWE可以在多个器件的DONE引脚都变为高时，使器件同时启动。启动序列，可以通过DLL的锁定来延迟，通过配置选项，可以设置为其中一个或是所有DLL达到锁定状态以后，FPGA才进入正常的启动序列。

数据流格式

BQV器件通过连续下载数据帧进行配置。表15列出了每种器件配置所需的bit总数。

回读

存储在配置存储单元中的配置数据可以被回读，方便进行验证。除了配置数据，还可以回读所有触发器/锁存器、LUT RAMs，和Block RAMs的内容。实时调试中这个功能非常有用。

表15 BQV系列FPGA 器件码流长度

器件	配置位数
BQV300	1, 751, 808
BQV600	3, 607, 968

七、电参数

表16 电特性表

测 试	符 号	条 件 2.375V ≤ V _{CCINT} ≤ 2.625V, 1.2V ≤ V _{CCO} ≤ 3.6V, -55°C ≤ T _c ≤ 125°C	A 组	极 限 值		单 位
				最小值	最大值	
配置数据能保持的最低 VCCINT 电压	V _{DRINT}	抽测一个 CLB 功能向量, 配置后将 V _{CCINT} 降低到 2.0V, 再恢复到 2.5V 直接进行功能测试。 V _{CCO} =3.3V。	1, 2, 3	2.0		V
配置数据能保持的最低 VCCO 电压	V _{DRIO}	抽测一个 CLB 功能向量, 配置后将 V _{CCO} 降低到 1.2V, 再恢复到 3.3V 直接进行功能测试。 V _{CCINT} =2.5V。	1, 2, 3	1.2		V
输出高电平电压	V _{OH}	I _{OH} =-24mA, V _{CCO} =3.0V, V _{CCINT} =min, LVTTTL 协议	1, 2, 3	2.4		V
输出低电平电压	V _{OL}	I _{OL} =24mA, V _{CCO} =3.0V, V _{CCINT} =min, LVTTTL 协议	1, 2, 3		0.4	V
VCCINT 的静态电源电流	I _{CCINTQ}	V _{CCO} =3.3V, V _{CCINT} =max (无输出电流负载, 无激活输入上拉电阻, 所有 I/O 端为三态浮空)	1, 2, 3		250	mA
VCCO 的静态电源电流	I _{CCOQ}	V _{CCO} = max, V _{CCINT} =2.5V (无输出电流负载, 无激活输入上拉电阻, 所有 I/O 端为三态浮空)	1, 2, 3		10	mA
输入或输出漏电流	I _L		1, 2, 3	-10	10	μA
每一个 VREF 腿的电流	I _{REF}		1, 2, 3		20	μA
输入输出电容 a	C _{in} / C _{out}	f =1.0MHz, V _{OUT} =0V	4		16	pF
带上拉电阻的 pad 输入电流	I _{RPu}	V _{IN} =0V, V _{CCINT} =2.5V, V _{CCO} =3.3V	1, 2, 3		0.25	mA
带下拉电阻的 pad 输入电流	I _{RPD}	V _{IN} =3.6V, V _{CCINT} =2.5V, V _{CCO} =3.3V	1, 2, 3		0.15	mA
经过 CLB 的 BX 输入,	BX_X1n	V _{CCINT} =2.5V, V _{CCO} =3.3V	9, 10,	—	34	ns

从 X 端输出			11			
经过 CLB 的 G 函数发生器到 F5, 再从 Y 端输出	G_F5_Y1n		9, 10, 11	—	32.5	ns
经过 CLB 的 G 函数发生器到 Y 端输出	G_Y1n		9, 10, 11	—	38	ns
CLB 到 CLB 经过快速线级联	TILO_EWn		9, 10, 11	—	47.8	ns
经过进位逻辑	CRY_1n		9, 10, 11	—	37.3	ns
经过单长线	EW_Np		9, 10, 11	—	41.2	ns
经过六长线	HHEX_NWn		9, 10, 11	—	52.9	ns
经过长线	HLL_Nn		9, 10, 11	—	73.3	ns
经过三态总线	TBUF_En		9, 10, 11	—	38	ns
经过全局时钟线	GCLKn		9, 10, 11	—	41.5	ns
功能测试		f =10MHz, V _{CCINT} =2.5V, V _{CCO} =3.3V	7, 8A, 8B			

7.1 电试验要求

器件的电试验按照国军标 GJB597A 规定的 B 级要求进行, 具体电试验要求如表 17 所示。

表17 电试验要求

项目	内容
中间(老炼前)电测试	A1, A7 ^b
中间(老炼后)电测试	A1 ^a , A7 ^b 和表 3△极限
最终电测试	A2, A3, A8A ^b , A8B ^b , A9
A 组电测试	A1, A2, A3, A4 ^c , A7 ^b , A8A ^b , A8B ^b , A9, A10, A11
B 组电测试	A1
C 组终点电测试	A1, A7 ^b 和表 3△极限
D 组终点电测试	A1, A7 ^b

^a 该分组要求 PDA 计算。

^b A7、A8A、A8B 分组为功能测试, 按 Q/Zt 30055-2009 规定进行。

^c 抽样测试 3 (0)。

7.2 绝对最大额定值

核电源电压范围 (VCCINT) -0.5V~3.0V

I0电源电压范围 (VCCO)-0.5V~4.0V

DC输入电压范围 (VIN) 内部阈值 -0.5V~5.5V



DC输入电压范围 (VINREF) 使用基准-0.5V~3.6V
施加在三态端电压 (VTS)-0.5V~5.5V
引线焊接温度 (Th) 10s260℃
功率耗散 (PD) 2.0W
热阻, 结到壳 (θ_{JC})1℃/W
结温 (TJ) 150℃
储存温度 (TSTG) -65℃~150℃

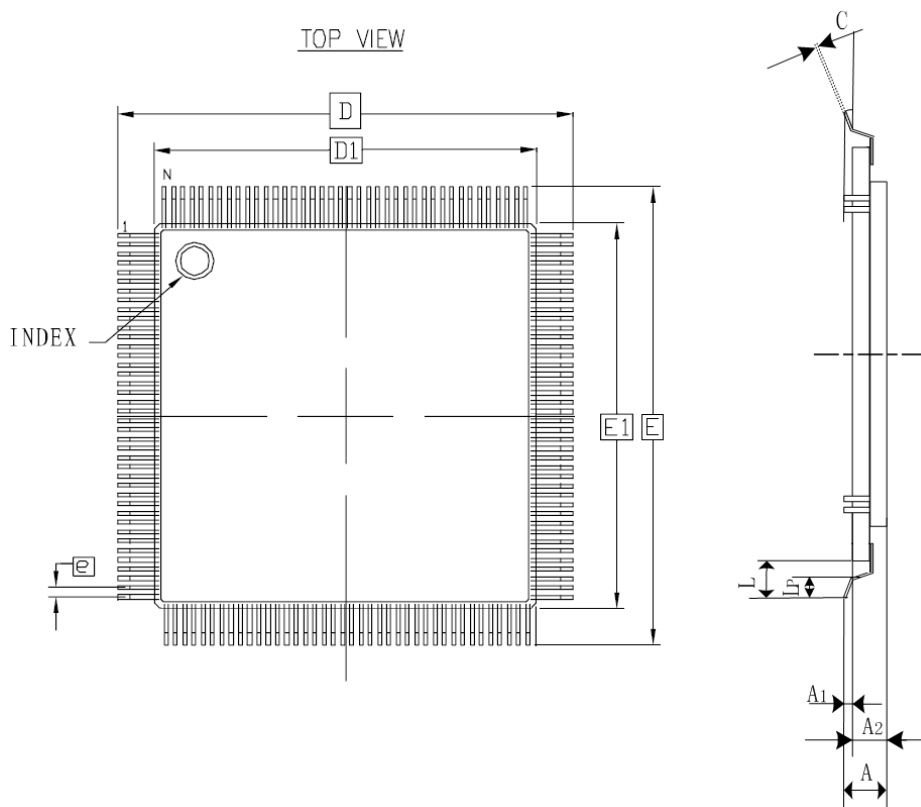
7.3 推荐工作条件

核电源电压范围 (VCCINT)2.375V~2.625V
I/O电源电压范围 (VCCO) 1.2V~3.6V
输入高电平电压 (VIH) 2.0V
输入低电平电压 (VIL) 0.8V
最大输入信号转换时间 (t_{IN}) 250ns
工作温度范围 (TC) -55℃~125℃

八、封装说明

8.1 BQV300

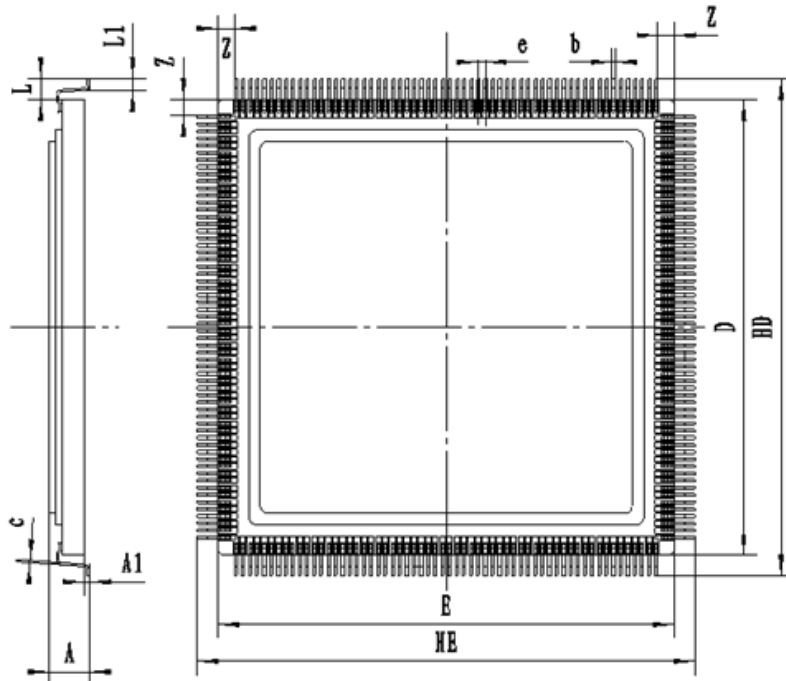
CQFP240 非航天标准成型尺寸（兼容 Xilinx 原厂成型尺寸）：



单位为：毫米

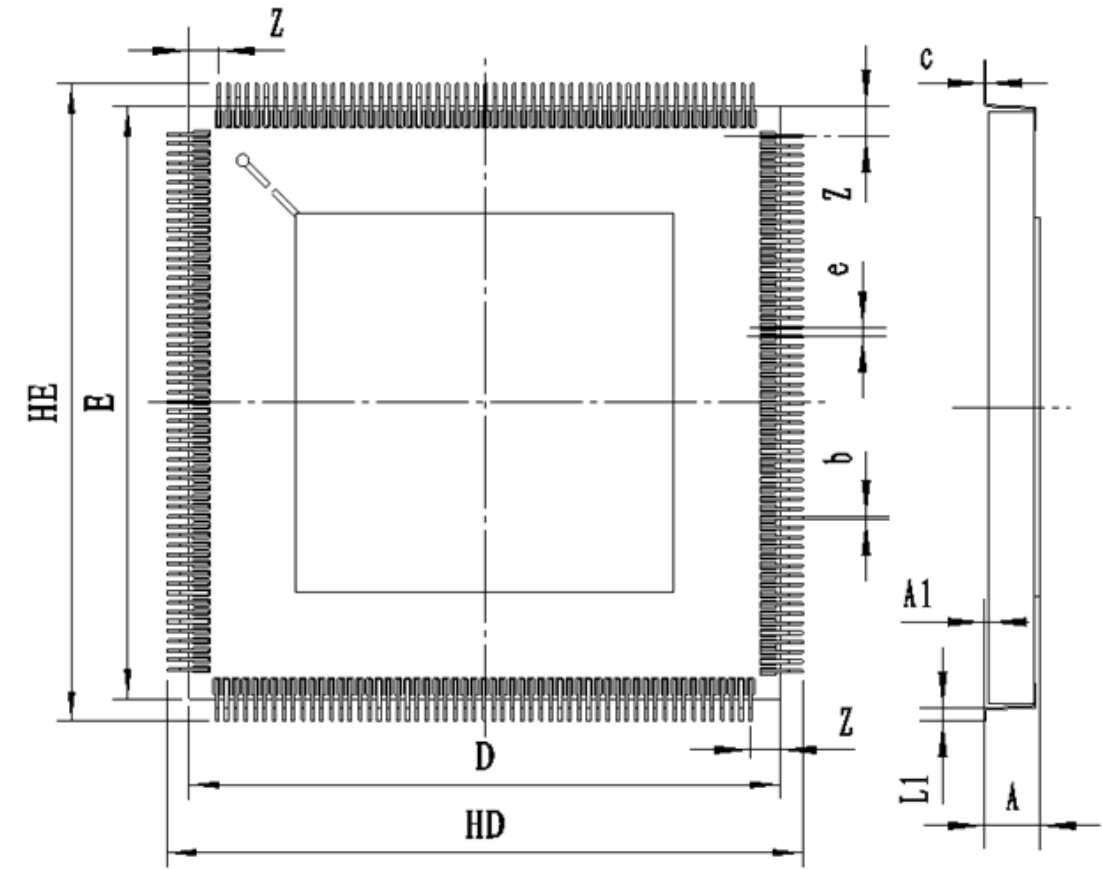
尺寸符号	数值			角度 (°)
	最小	公称	最大	
D	—	34.6	—	
E	—	34.6	—	
$D1$	—	32.0	—	
$E1$	—	32.0	—	
e	—	0.5	—	
C	0.15	0.20	0.25	
L	1.3	1.3	1.3	
LP	0.6	0.6	0.6	
A	2.88	3.26	3.63	
$A1$	0.25	0.38	0.5	
$A2$	2.63	2.88	3.13	

CPFP240 航天标准成型尺寸:



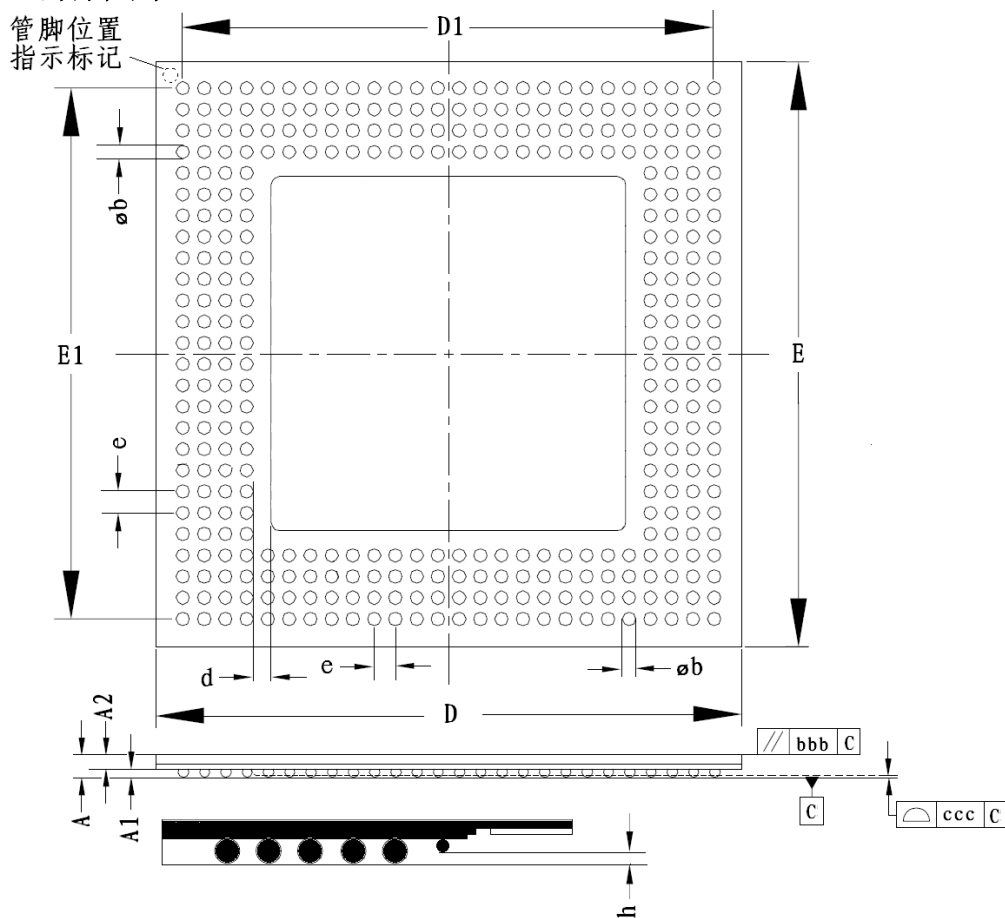
尺寸符号	数值 (单位: 毫米)		
	最小	公称	最大
A	2.6	—	3.7
A1	0.5	0.75	1.0
b	—	0.2	—
c	—	0.15	—
e	—	0.5	—
Z	—	1.25	—
D/E	—	32	—
HD/HE	36.18	37	37.82
L1	1.25	1.5	1.75
L	2.25	2.5	2.75

CQFP228 外形尺寸:



尺寸符号	数值 (单位: 毫米)		
	最小	公称	最大
A	—	—	3.90
A1	0.5	0.6	0.7
b	0.13	0.2	0.27
c	0.08	—	0.20
e	—	0.635	—
Z	—	2.25	2.54
D/E	38.57	39.37	40.17
HD/HE	42.0	43.37	44.57
L1	1.25	1.5	1.7

BG352 外形尺寸:



单位: 毫米

尺寸符号	数值		
	最小	公称	最大
D	—	35.00	—
E	—	35.00	—
A	1.25	—	1.70
$A1$	0.55	—	0.70
$A2$	0.70	—	1.00
e	—	1.27	—
ϕb	0.70	—	0.90

8.2 BQV600

请参见“8.1BQV300 CQFP228 外形尺寸”

九、产品应用注意事项

9.1 产品应用说明

(1) 电源环境说明

SRAM 型 FPGA 对电源环境有一定的要求，BQV 系列 FPGA 的要求如下：（1）可提供的稳定输出电流不小于 2A；（2）供电电压的爬坡速率应在 5ms 以内；（3）电源电压的爬坡曲线必须单调上升，不得出现平台期；（4）应用前须开展板级电源适应性试验。

Xilinx 公司产品也有类似说明，具体见 XAPP158。建议用户在设计初期开展 BQV 系列 FPGA 的电源适应性试验。

(2) CCLK 频率设置说明

由于内部振荡器的结构特性，Xilinx 公司 XQVR300 的输出配置时钟频率与标定值存在一定的误差（达到 45%，具体见 XAPP151）。若用户要求配置时间精确，设计须以实测结果为准。

BQV 系列器件可支持最高设定配置时钟 CCLK 为 60MHz 的配置，实际配置频率约为 24MHz 左右。

BQV 系列 FPGA 配置时钟的软件设定值与 772 所器件实测值对应如表 3-1。实际应用中应考虑 ±45% 余量。

附表 3-1 BQV 系列器件 CCLK 频率设定值与实际值对应关系

控制码	设定频率 (MHz)	实际频率 (MHz)
101101	60	24.4
110100	55	17.9
101010	51	19.6
110011	45	14.1
100111	41	14.3
110010	34	10.3
011101	30	12.2
011010	26	9.7
010111	20	7.1
001101	15	6
001010	13	4.85
000111	10	3.58
000110	9.2	3.15
000101	8.1	2.69
000100	6.9	2.23



010001	5.4	1.56
000010	4	1.28
000000	2.5	0.778

(3) 上电后 Initial 释放时间说明

Initial 释放时间与内部振荡器相关，在当前工艺下，Initial 释放时间 TPOR 约为 4ms-6ms。

(4) 成型尺寸说明

针对 BQV 系列产品 CQFP228 封装形式，北京微电子技术研究所具有两种成型标准：一种标准与原厂兼容；另外一种为航天标准。请用户根据自身需求选择相应的成型标准。

(5) 板级应用建议

建议用户在板级应用前做相应的板级可靠性试验，推荐板级试验项目为温度循环、热冲击（可选）、振动、恒定加速度（可选）等。力学试验（机械冲击、振动、恒定加速度等），应制作合适的试验夹具，避免陶瓷部分悬空。为保证板级安装可靠性，推荐在器件焊接后，采用专用胶对器件进行加固，加固方式建议采用局部粘固。对引出端板级可靠性风险，用户需自行承担。

9.2 产品防护

产品包装由无腐蚀的材料制成，能导电或用防静电材料涂敷过或浸渍过，具备足够的防静电能力。

在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

包装好的产品贮存环境应满足 Q/W 657A-2007 第 8.1 规定的 I 类库房条件要求(温度：15℃~25℃，湿度：25%~65%)，周围没有酸、碱或其它腐蚀性气体，通风良好，且具备相应防静电措施。

十、研制生产单位联系方式

通信地址：北京市丰台区东高地四营门北路 2 号

邮政编码：100076

联系部门：市场二部

电话/传真：010-67968115-6313/010-68757706



附录1 BQV 系列 FPGA 电路引出端排列

1. BQV300 PQ240 封装引出端排列对应关系

引出端序号	符号	引出端序号	符号	引出端序号	符号	引出端序号	符号
1	GND	36	IO_VREF_6	71	IO	106	GND
2	TMS	37	GND	72	IO	107	IO
3	IO	38	IO	73	IO_VREF_5	108	IO_VREF_4
4	IO	39	IO	74	IO	109	IO
5	IO_VREF_7	40	IO	75	GND	110	IO
6	IO	41	IO	76	VCCO	111	IO_VREF_4
7	IO	42	IO	77	VCCINT	112	GND
8	GND	43	VCCINT	78	IO	113	IO
9	IO_VREF_7	44	VCCO	79	IO	114	IO
10	IO	45	GND	80	IO	115	IO_VREF_4
11	IO	46	IO	81	IO	116	IO
12	IO_VREF_7	47	IO_VREF_6	82	IO	117	IO
13	IO	48	IO	83	GND	118	IO
14	GND	49	IO	84	IO_VREF_5	119	GND
15	VCCO	50	IO_VREF_6	85	IO	120	DONE
16	VCCINT	51	GND	86	IO	121	VCCO
17	IO	52	IO	87	IO	122	PROGRAM
18	IO	53	IO	88	VCCINT	123	IO_INIT
19	IO	54	IO_VREF_6	89	GCK1	124	IO_D7
20	IO	55	IO	90	VCCO	125	IO
21	IO	56	IO	91	GND	126	IO_VREF_3
22	GND	57	IO	92	GCK 0	127	IO
23	IO_VREF_7	58	M1	93	IO	128	IO
24	IO	59	GND	94	IO	129	GND
25	IO	60	M0	95	IO	130	IO_VREF_3
26	IO	61	VCCO	96	IO	131	IO
27	IO	62	M2	97	IO_VREF_4	132	IO
28	IO_IRDY	63	IO	98	GND	133	IO_VREF_3
29	GND	64	IO	99	IO	134	IO_D6
30	VCCO	65	IO	100	IO	135	GND
31	IO_TRDY	66	IO_VREF_5	101	IO	136	VCCO
32	VCCINT	67	IO	102	IO	137	VCCINT
33	IO	68	IO	103	IO	138	IO_D5
34	IO	69	GND	104	VCCINT	139	IO



35	IO	70	IO_VREF_5	105	VCC0	140	IO
141	IO	166	GND	191	IO_VREF1	216	IO
142	IO	167	IO_D1	192	IO	217	IO
143	GND	168	IO_VREF2	193	IO	218	IO_VREF0
144	IO_VREF3	169	IO	194	IO_VREF1	219	GND
145	IO_D4	170	IO	195	IO	220	IO
146	IO	171	IO_VREF2	196	GND	221	IO
147	IO	172	GND	197	VCC0	222	IO
148	VCCINT	173	IO	198	VCCINT	223	IO
149	IO_TRDY	174	IO	199	IO	224	IO
150	VCC0	175	IO_VREF2	200	IO	225	VCCINT
151	GND	176	IO	201	IO	226	VCC0
152	IO_IRDY	177	IO_DIN_D0	202	IO	227	GND
153	IO	178	IO_DOUT_BUSY	203	IO	228	IO
154	IO	179	CCLK	204	GND	229	IO_VREF0
155	IO	180	VCC0	205	IO_VREF1	230	IO
156	IO_D3	181	TDO	206	IO	231	IO
157	IO_VREF2	182	GND	207	IO	232	IO_VREF0
158	GND	183	TDI	208	IO	233	GND
159	IO	184	IO_CS	209	IO	234	IO
160	IO	185	IO_WRITE	210	GCK2	235	IO
161	IO	186	IO	211	GND	236	IO_VREF0
162	IO	187	IO_VREF1	212	VCC0	237	IO
163	IO_D2	188	IO	213	GCK3	238	IO
164	VCCNIT	189	IO	214	VCCINT	239	TCK
165	VCC0	190	GND	215	IO	240	VCC0



2. BQV300/BQV600 CQFP228 封装引出端排列对应关系

引出端序号	符号	引出端序号	符号	引出端序号	符号	引出端序号	符号
1	GND	58	VCC0	115	VCC0	172	TD0
2	TMS	59	M2	116	PROGRAM	173	GND
3	I/O	60	I/O	117	I/O_INIT	174	TDI
4	I/O	61	I/O	118	I/O_D7	175	I/O_CS
5	I/O_VREF_7	62	I/O	119	I/O	176	I/O_WRITE
6	I/O	63	I/O_VREF_5	120	I/O_VREF_3	177	I/O
7	I/O	64	I/O	121	I/O	178	I/O_VREF_1
8	GND	65	I/O	122	I/O	179	I/O
9	I/O_VREF_7	66	GND	123	GND	180	GND
10	I/O	67	I/O_VREF_5	124	I/O_VREF_3	181	I/O_VREF_1
11	I/O	68	I/O	125	I/O	182	I/O
12	I/O_VREF_7	69	I/O	126	I/O	183	I/O
13	I/O	70	I/O_VREF_5	127	I/O_VREF_3	184	I/O_VREF_1
14	GND	71	I/O	128	I/O_D6	185	I/O
15	VCCINT	72	GND	129	GND	186	GND
16	I/O	73	VCCINT	130	VCCINT	187	VCCINT
17	I/O	74	I/O	131	I/O_D5	188	I/O
18	VCC0	75	I/O	132	I/O	189	I/O
19	I/O	76	VCC0	133	VCC0	190	I/O
20	I/O	77	I/O	134	I/O	191	VCC0
21	I/O_VREF_7	78	I/O	135	I/O	192	I/O
22	I/O	79	I/O_VREF_5	136	I/O_VREF_3	193	I/O
23	I/O	80	I/O	137	I/O_D4	194	I/O_VREF_1
24	I/O	81	I/O	138	I/O	195	I/O
25	I/O	82	I/O	139	I/O	196	I/O
26	I/O_TRDY	83	VCCINT	140	VCCINT	197	I/O
27	GND	84	GCK1	141	I/O_TRDY	198	I/O
28	VCC0	85	VCC0	142	VCC0	199	GCK2
29	I/O_TRDY	86	GND	143	GND	200	GND
30	VCCINT	87	GCK0	144	I/O_IRDY	201	VCC0
31	I/O	88	I/O	145	I/O	202	GCK3
32	I/O	89	I/O	146	I/O	203	VCCINT
33	I/O	90	I/O	147	I/O	204	I/O
34	I/O_VREF_6	91	I/O	148	I/O_D3	205	I/O



35	I/O	92	I/O_VREF_4	149	I/O_VREF_2	206	I/O
36	I/O	93	I/O	150	I/O	207	I/O_VREF_0
37	VCC0	94	I/O	151	I/O	208	I/O
38	I/O	95	VCC0	152	VCC0	209	I/O
39	I/O	96	I/O	153	I/O	210	VCC0
40	I/O	97	I/O	154	I/O	211	I/O
41	VCCINT	98	I/O	155	I/O_D2	212	I/O
42	GND	99	VCCINT	156	VCCINT	213	I/O
43	I/O	100	GND	157	GND	214	VCCINT
44	I/O_VREF_6	101	I/O	158	I/O_D1	215	GND
45	I/O	102	I/O_VREF_4	159	I/O_VREF_2	216	I/O
46	I/O	103	I/O	160	I/O	217	I/O_VREF_0
47	I/O_VREF_6	104	I/O	161	I/O	218	I/O
48	GND	105	I/O_VREF_4	162	I/O_VREF_2	219	I/O
49	I/O	106	GND	163	GND	220	I/O_VREF_0
50	I/O	107	I/O	164	I/O	221	GND
51	I/O_VREF_6	108	I/O	165	I/O	222	I/O
52	I/O	109	I/O_VREF_4	166	I/O_VREF_2	223	I/O
53	I/O	110	I/O	167	I/O	224	I/O_VREF_0
54	I/O	111	I/O	168	I/O_DIN_D0	225	I/O
55	M1	112	I/O	169	I/O_DOUT_BUSY	226	I/O
56	GND	113	GND	170	CCLK	227	TCK
57	M0	114	DONE	171	VCC0	228	VCC0

3. BQV300 BG352 引出端排列对应关系

引出端	符号	引出端	符号	引出端	符号	引出端	符号
A1	GND	AB4	IO	AD7	IO	AE18	IO
A2	GND	AB23	M1	AD8	IO	AE19	VCCINT
A3	IO	AB24	IO	AD9	IO	AE20	IO
A4	IO	AB25	IO	AD10	IO	AE21	IO
A5	GND	AB26	GND	AD11	IO	AE22	IO
A6	IO	AC1	IO	AD12	IO	AE23	IO_VREF_5
A7	IO	AC2	IO_VREF_3	AD13	IO	AE24	DXP
A8	GND	AC3	IO_D7	AD14	IO	AE25	VCCO_6
A9	IO	AC4	PROGRAM	AD15	IO	AE26	GND
A10	VCCO_1	AC5	IO	AD16	IO	AF1	GND
A11	IO	AC6	IO	AD17	IO	AF2	GND
A12	IO	AC7	IO	AD18	IO	AF3	IO
A13	IO	AC8	VCCO_4	AD19	IO	AF4	IO
A14	GND	AC9	IO	AD20	IO_VREF_5	AF5	GND
A15	IO	AC10	VCCINT	AD21	IO	AF6	IO
A16	IO_VREF_0	AC11	IO	AD22	IO	AF7	IO
A17	VCCO_0	AC12	IO_VREF_4	AD23	DXN	AF8	GND
A18	IO	AC13	IO	AD24	M0	AF9	IO
A19	GND	AC14	VCCO_5	AD25	IO	AF10	VCCO_4
A20	VCCINT	AC15	IO_VREF_5	AD26	IO_VREF_6	AF11	VCCINT
A21	IO	AC16	IO	AE1	GND	AF12	IO
A22	GND	AC17	IO	AE2	VCCO_4	AF13	GND
A23	IO	AC18	IO_VREF_5	AE3	IO	AF14	GCK1
A24	IO	AC19	IO	AE4	IO_VREF_4	AF15	IO
A25	GND	AC20	VCCO_5	AE5	IO_VREF_4	AF16	VCCINT
A26	GND	AC21	IO	AE6	IO	AF17	VCCO_5
AA1	IO	AC22	IO	AE7	IO	AF18	IO
AA2	IO	AC23	M2	AE8	IO_VREF_4	AF19	GND
AA3	IO	AC24	IO	AE9	IO	AF20	IO
AA4	IO	AC25	IO	AE10	IO	AF21	IO
AA23	IO	AC26	IO	AE11	IO	AF22	GND
AA24	IO	AD1	IO	AE12	IO	AF23	IO
AA25	IO_VREF_6	AD2	IO_INIT	AE13	GCK0	AF24	IO
AA26	IO	AD3	DONE	AE14	VCCINT	AF25	GND
AB1	GND	AD4	IO	AE15	IO	AF26	GND



AB2	IO	AD5	IO	AE16	IO	B1	GND
AB3	IO	AD6	IO	AE17	IO	B2	VCCO_2
B3	TDI	C14	VCCINT	D25	IO	J4	IO
B4	IO	C15	IO	D26	IO_VREF_7	J23	IO
B5	IO	C16	IO	E1	GND	J24	VCCINT
B6	IO_VREF_1	C17	IO	E2	IO_VREF_2	J25	IO
B7	IO	C18	IO	E3	IO	J26	IO
B8	IO	C19	IO_VREF_0	E4	IO_DOUT_BUSY	K1	VCCO_2
B9	IO	C20	IO	E23	IO	K2	IO
B10	IO	C21	IO_VREF_0	E24	IO_VREF_7	K3	IO
B11	IO	C22	IO	E25	IO	K4	VCCINT
B12	IO	C23	IO	E26	GND	K23	IO
B13	IO	C24	TCK	F1	IO	K24	IO
B14	GCK2	C25	IO	F2	IO	K25	IO
B15	IO	C26	IO	F3	IO	K26	VCCO_7
B16	VCCINT	D1	IO	F4	IO	L1	VCCINT
B17	IO	D2	IO_VREF_2	F23	IO	L2	IO
B18	IO	D3	IO_DIN_DO	F24	IO	L3	IO
B19	IO	D4	TDO	F25	IO	L4	IO
B20	IO	D5	IO_WRITE	F26	IO	L23	IO
B21	IO	D6	IO_VREF_1	G1	IO_D1	L24	IO
B22	IO	D7	VCCO_1	G2	IO	L25	VCCINT
B23	IO	D8	IO	G3	IO	L26	IO_VREF_7
B24	IO	D9	IO	G4	IO	M1	IO
B25	VCCO_0	D10	VCCINT	G23	VCCO_7	M2	IO
B26	GND	D11	IO	G24	IO	M3	IO_D3
C1	IO	D12	VCCINT	G25	IO	M4	IO_VREF_2
C2	IO	D13	VCCO_1	G26	IO_VREF_7	M23	IO
C3	CCLK	D14	GCK3	H1	GND	M24	IO
C4	IO_CS	D15	IO	H2	IO_VREF_2	M25	IO
C5	IO	D16	IO	H3	IO	M26	IO
C6	IO	D17	IO	H4	VCCO_2	N1	GND
C7	IO	D18	IO	H23	IO	N2	IO_IRDY
C8	IO	D19	VCCO_0	H24	IO	N3	IO
C9	IO_VREF_1	D20	IO	H25	IO	N4	IO
C10	IO	D21	IO_VREF_0	H26	GND	N23	VCCO_7
C11	IO	D22	IO	J1	IO	N24	IO
C12	IO_VREF_1	D23	TMS	J2	IO	N25	IO_IRDY



C13	IO	D24	IO	J3	IO_D2	N26	IO_TRDY
P1	IO_TRDY	R25	IO	U23	IO	W3	IO
P2	VCCINT	R26	IO	U24	IO	W4	IO
P3	IO	T1	VCCINT	U25	IO	W23	VCCO_6
P4	VCCO_3	T2	IO	U26	VCCO_6	W24	IO
P23	IO	T3	IO	V1	IO	W25	IO
P24	IO	T4	IO	V2	IO	W26	GND
P25	VCCINT	T23	IO	V3	IO_D6	Y1	IO
P26	GND	T24	IO	V4	IO_VREF_3	Y2	IO
R1	IO	T25	IO	V23	IO	Y3	IO_VREF_3
R2	IO	T26	IO	V24	VCCINT	Y4	VCCO_3
R3	IO_D4	U1	VCCO_3	V25	IO	Y23	IO
R4	IO_VREF_3	U2	IO	V26	IO	Y24	IO
R23	VCCINT	U3	IO	W1	GND	Y25	IO
R24	IO_VREF_6	U4	IO_D5	W2	VCCINT	Y26	IO_VREF_6